

WO 03/027598

PCT/JP02/09668

1

明 細 書

E.L表示パネルおよびそれを備えたE.L表示装置

5

(技術分野)

本発明は、有機または無機エレクトロルミネッセンス (E.L.) 素子を用いたE.L表示装置に関し、特に所望の電流を正確にE.L素子に対して供給することができるE.L表示装置に関するものである。

(技術背景)

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた画像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス (E.L.) 材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

液晶表示パネルでは、各画素はシャッタとして動作し、バックラノトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機E.L表示パネルは各画素に発光素子を有する自発光型の表示パネルである。このような自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有している。

有機E.L表示パネルは各発光素子 (画素) の輝度を電流値によって制御する。このように、発光素子が電流駆動型あるいは電圧制御型であるという点で液晶表示パネルとは大きく異なる。

有機E.L表示パネルにおいても、液晶表示パネルと同様に、単極マト

WO 03/027598

PCT/JP02/09668

2

リクス方式およびアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高解像度の表示パネルの実現が困難である。しかし、安価である。後者は大型、高解像度表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ (TFT) によって制御する。

このアクティブマトリクス方式の有機E.L表示パネルは、例えば図1の平面図に示すように、画素215は発光素子であるE.L素子215、第1のトランジスタ211a、第2のトランジスタ211bおよび第3のトランジスタ211cからなる。ここでE.L素子215は有機エレクトロルミネッセンス (E.L.) 素子である。

なお、本明細書では、E.L素子に電流を供給 (制御) するトランジスタを駆動用トランジスタと呼ぶ。また、第2図に示すトランジスタ211bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタと呼ぶ。

E.L素子215は多くの場合、整流性があるため、OLED (有機発光ダイオード) と呼ばれることがある。そのため、第6図ではE.L素子215をOLEDとしてダイオードの記号を用いている。

第6図の例では、Pチャンネル型のトランジスタ211aのソース端子 (S) をVdd (電源電位) とし、E.L素子215のカソード (陰極) は接地電位 (V_k) に接続される。一方、アノード (陽極) はトランジスタ211bのドレイン端子 (D) に接続されている。一方、Pチャンネル型のトランジスタ211cのゲート端子はゲート信号線217aに接続され、ソース端子はソース信号線218に接続され、ドレイン端子は漏れ電流線219およびトランジスタ211aのゲート端子

WO 02/027998

PCT/JP02/09669

3

(G)に接続されている。

、画面216を動作させるために、まず、ゲート信号線217aを選択状態とし、ソース信号線218に輝度情報を表す画像信号を印刷する。すると、トランジスタ211bが導通し、辉度信号線219が充電又は放電され、トランジスタ211aのゲート電位は画像信号の電位に一致する。ゲート信号線217aを非選択状態とすると、トランジスタ211aがオフになり、トランジスタ211aは電気的にソース信号線218から切り離される。しかし、トランジスタ211aのゲート電位は前記容量219によって安定に保持される。トランジスタ211eを介してEL素子215に流れる電流は、トランジスタ211aのゲート/ソース端子間電圧 V_{gs} に応じた値となり、EL素子215はトランジスタ211aを通過して供給される電流量に応じた輝度で発光し続ける。

以上のように、第62図に示した従来例は、1画面が、1つの選択トランジスタ（スイッチング素子）と、1つの駆動用トランジスタとで構成されたものである。その他の従来例は、例えば特開平11-327637号公報に開示されている。この公報には、画面がカレントミラー回路で構成された実施例が示されている。

ところで、有線EL表示パネルは、通常、低温ポリシリコントランジスタドライエを用いてパネルを構成している。しかし、有線EL素子は、電流に基づいて発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという問題があった。

また、ソース信号線18には寄生容量が存在するが、従来のEL表示パネルではこの寄生容量を十分に充電電圧することができなかった。そのため、画面16に所望の電流を供給することができない場合が生じるという問題があった。

また、表示ムラは、電流プログラム方式の画面構成を採用することにより低減することが可能である。ここで、電流プログラムを実施するためには、電流駆動方式のソースドライバが必要となる。しかし、電流駆

WO 02/027998

PCT/JP02/09668

4

動方式のソースドライバにおいても電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力素子からの出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。さらに、人間の視覚は、低階調領域では輝度の変化に対する感度が低く、高階調領域では輝度の変化に対する感度が高いという特性を有している。そのため、電流駆動方式のソースドライバにおいて全階調領域に亘って一定の電流値の刻みで表示を行うこととすると、人間にとって自然な画像を表示することができないという課題があった。

(発明の開示)

本発明はこのような事情に鑑みてなされたものであり、その目的は、ソースドライバが備える出力端子からの出力電流のはらつきを抑制することにより、良好な画像表示を実現することができるEL表示装置を提供することにある。

そして、これらの目的を達成するために、本発明に係るEL表示装置は、複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のEL素子と、前記ソース信号線を介して画像の階調に応じた電流を前記EL素子に供給するソースドライバとを備えるEL表示装置において、前記ソースドライバは、基準信号を生成する基準信号生成手段と、前記基準信号生成手段によって生成された基準信号を電流にて出力する第1電流源と、前記ソース信号線に対応して複数設けられ、それぞれが、前記第1電流源によって出力された基準信号を電圧にて受け渡すように構成されている第2電流源とを具備し、前記第2電流源のそれぞれが有している基準信号を川いて前記画像の階調に応じた電流を生成するように構成されている。

このように構成すると、ソースドライバからの出力電流のばらつきを抑制することができるので、良好な画像表示を実現することができる。また、前記発明に係るEL表示装置において、前記第2電流源のそれぞれには、選択された場合に前記基準信号を電流にて出力するように構

WO 03/027998

PCT/JP02/09668

6

素子に出力する第2電流出力回路とを具備し、表示すべき階調が所定の階調よりも低い場合に、該表示すべき階調に応じた電流を出力すべく前記第1電流出力回路を動作させ、表示すべき階調が所定の階調以上の場合に、該表示すべき階調に応じた電流を出力すべく前記第2電流出力回路を動作させると共に、所定の電流を前記第1電流出力回路に出力させるように構成されている。

このように構成すると、表示すべき階調が所定の階調よりも低いときには低い電流値の刻みで表示を行い、同じく所定の階調以上のときには高い電流値の刻みで表示を行うことになる。これにより、低階調領域では輝度の変化が小さく、高階調領域では輝度の変化が大きくなるような表示特性とすることが可能となり、人間にとって自然な映像を表示することができるようになる。

また、前記発明に係るE1表示装置において、前記第2電流の大きさは、前記第1電流の大きさの4倍以上8倍以下であることが好ましい。さらに、前記発明に係るE1表示装置において、前記ソースドライバには、前記E1素子から発せられる光が前記第1電流出力回路および第2電流出力回路に照射されることを防止するための遮光膜が形成されていることが好ましい。

また、本発明に係る電子機器は、請求の範囲第2項に記載のE1表示装置を備え、前記E1表示装置に対して画像信号を出力するように構成されている。

また、本発明に係るE1表示装置は、E1素子がマトリクス状に形成された表示領域と、前記E1素子に映像信号を電流として供給するソースドライバとを具備し、前記ソースドライバは、基準電流を発生する基準電流発生手段と、前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に對する第1の電流を出力する第1の電流源と、前記第1の電流源から出力される第1の電流が入力され、かつ前記第1の電流に對する第2の電流を出力する第2の電流源と、前記第2の電流

PCT/JP02/09668

6

成されている単位トランジスタが複数接続され、前記ソースドライバは、前記画像の階調に応じて1または複数の前記単位トランジスタを選択するよう構成されており、表示可能な階調数をKとし、前記単位トランジスタの大きさS1(平方μm)としたとき、 $40 \leq K/S1$ かつ $S1 \leq 300$ の関係が満足するように構成されていることが好ましい。

このように構成すると、ソースドライバからの出力電流に多少のばらつきが発生したとしても画像表示でそのばらつきが認識されにくくなる。

また、前記発明に係るE1表示装置において、前記複数の第2電流源は、2平方μm以下の領域内に形成されていることが好ましい。これによりソースドライバからの出力電流のばらつきを極力抑えることができる。

また、前記発明に係るE1表示装置において、前記ソースドライバには、前記E1素子から発せられる光が前記第1電流源および第2電流源に照射されることを防止するための遮光膜が形成されていることが好ましい。これにより、E1素子から発せられる光が第1電流源および第2電流源に入射することによって生じるホトコングタ現象を防止することができる。

また、本発明に係るE1表示装置において、複数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のE1素子と、前記ソース信号線を介して画像の階調に応じた電流を前記E1素子に供給するソースドライバとを備えるE1表示装置において、前記ソースドライバは、第1単位電流を出力する複数の単位トランジスタを含んでなり、前記第1単位電流を組み合わせることでより所望の電流を前記E1素子に出力する第1電流出力回路と、前記第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることでより所望の電流を前記E1

WO 03027998

PCT/JP02/00668

源から出力される第2の電流が入力され、かつ前記第2の電流に対応する第3の電流を出力する第3の電流源と、前記第3の電流源から出力される第3の電流が入力され、かつ入力画像データに対応して前記第3の電流に対応する単位電流を前記E_L素子に出力する複数の単位電流源とを有していることを特徴とする。

また、本発明に係るE_L表示装置は、E_L素子がマトリクス状に形成された表示領域と、前記E_L素子に映像信号を電流として供給するソースドライバとを具備し、前記ソースドライバは、複数の単位トランジスタを有し、前記単位トランジスタは、入力された映像信号の大きさに対応して選択された場合に単位電流を出力するように構成されており、表示可能な画素数をKとし、前記単位トランジスタの大きさをS（平方μm）としたとき、 $40 \leq K \times (S \times 1) \leq 3000$ の関係を満足するように構成されていることを特徴とする。

また、本発明に係るE_L表示装置は、E_L素子がマトリクス状に形成された表示領域と、前記E_L素子に映像信号を電流として供給するソースドライバとを具備し、前記ソースドライバは、第1のトランジスタと、前記第1のトランジスタとカレントミラー接続された複数の第2のトランジスタからなるトランジスタ群とを有し、前記トランジスタ群は2平方mm以内の範囲に形成されていることを特徴とする。

また、前記発明に係るE_L表示装置において、前記第1のトランジスタは、複数の単位トランジスタから構成され、該複数の単位トランジスタは、2平方mm以内の範囲に形成されていることが好ましい。

また、本発明に係るE_L表示装置は、E_L素子を有する画面がマトリクス状に形成された表示領域と、前記画面に形成されたトランジスタ素子と、前記トランジスタ素子をオンオフ制御するゲートドライバと、前記トランジスタ素子に映像信号を供給するソースドライバとを具備し、前記ゲートドライバは、Pチャンネルトランジスタで構成されており、前記画面に形成されたトランジスタは、Pチャンネルトランジスタ素子

WO 03027998

PCT/JP02/00668

8

であり、前記ソースドライバは、半導体チップで構成されていることを特徴とする。

また、本発明に係るE_L表示装置は、E_L素子と、駆動用トランジスタと、前記駆動用トランジスタと前記E_L素子間の経路を形成する第1のスイッチング素子と、前記駆動用トランジスタとソース信号線間の経路を形成する第2のスイッチング素子とが、マトリクス状に形成された表示領域と、前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバと、前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバと、前記トランジスタ素子に映像信号を印加するソースドライバとを具備し、前記ゲートドライバは、Pチャンネルトランジスタで構成されており、前記画面に形成されたトランジスタおよびスイッチング素子は、Pチャンネルトランジスタ素子であり、前記ソースドライバは、半導体チップで構成されていることを特徴とする。

また、前記発明に係るE_L表示装置において、前記ソースドライバは、映像信号を電流で出力することが好ましい。

さらに、前記発明に係るE_L表示装置において、前記ゲートドライバは、4つのクロック信号により、データをシフト動作することが好ましい。

本発明の上記目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第1図は、本発明のE_L表示パネルの画面構成図である。
第2図は、本発明のE_L表示パネルの画素構成図である。
第3図は、本発明のE_L表示パネルの動作の説明図である。
第4図は、本発明のE_L表示パネルの動作の説明図である。
第5図は、本発明のE_L表示装置の駆動方法の説明図である。
第6図は、本発明のE_L表示装置の構成図である。
第7図は、本発明のE_L表示パネルの製造方法の説明図である。

WO 03/027998

PCT/JPO2006/68

10

第36図は、本発明のE1表示装置の駆動方法の説明図である。
 第37図は、本発明のE1表示装置の構成図である。
 第38図は、本発明のE1表示装置の構成図である。
 第39図は、本発明のE1表示装置の駆動方法の説明図である。
 第40図は、本発明のE1表示装置の構成図である。
 第41図は、本発明のE1表示装置の構成図である。
 第42図は、本発明のE1表示パネルの画面構成図である。
 第43図は、本発明のE1表示パネルの画面構成図である。
 第44図は、本発明のE1表示装置の駆動方法の説明図である。
 第45図は、本発明のE1表示装置の駆動方法の説明図である。
 第46図は、本発明のE1表示装置の駆動方法の説明図である。
 第47図は、本発明のE1表示パネルの画面構成図である。
 第48図は、本発明のE1表示装置の構成図である。
 第49図は、本発明のE1表示装置の駆動方法の説明図である。
 第50図は、本発明のE1表示パネルの画面構成図である。
 第51図は、本発明のE1表示パネルの画面図である。
 第52図は、本発明のE1表示装置の駆動方法の説明図である。
 第53図は、本発明のE1表示装置の駆動方法の説明図である。
 第54図は、本発明のE1表示パネルの画面構成図である。
 第55図は、本発明のE1表示装置の駆動方法の説明図である。
 第56図は、本発明のE1表示装置の駆動方法の説明図である。
 第57図は、本発明の携帯型電話機の説明図である。
 第58図は、本発明のビューファインダの説明図である。
 第59図は、本発明のデジタルビデオカメラの説明図である。
 第60図は、本発明のデジタルカメラの説明図である。
 第61図は、本発明のテレビ（モニター）の説明図である。
 第62図は、従来のE1表示パネルの画面構成図である。
 第63図は、本発明のドライバ回路の機能ブロック図である。

5

10

15

20

25

WO 03/027998

9

第8図は、本発明のE1表示装置の構成図である。
 第9図は、本発明のE1表示装置の構成図である。
 第10図は、本発明のE1表示パネルの断面図である。
 第11図は、本発明のE1表示パネルの断面図である。
 第12図は、本発明のE1表示パネルの断面図である。
 第13図は、本発明のE1表示装置の駆動方法の説明図である。
 第14図は、本発明のE1表示装置の駆動方法の説明図である。
 第15図は、本発明のE1表示装置の駆動方法の説明図である。
 第16図は、本発明のE1表示装置の駆動方法の説明図である。
 第17図は、本発明のE1表示装置の駆動方法の説明図である。
 第18図は、本発明のE1表示装置の駆動方法の説明図である。
 第19図は、本発明のE1表示装置の駆動方法の説明図である。
 第20図は、本発明のE1表示装置の駆動方法の説明図である。
 第21図は、本発明のE1表示装置の駆動方法の説明図である。
 第22図は、本発明のE1表示装置の駆動方法の説明図である。
 第23図は、本発明のE1表示装置の駆動方法の説明図である。
 第24図は、本発明のE1表示装置の駆動方法の説明図である。
 第25図は、本発明のE1表示装置の駆動方法の説明図である。
 第26図は、本発明のE1表示装置の駆動方法の説明図である。
 第27図は、本発明のE1表示装置の駆動方法の説明図である。
 第28図は、本発明のE1表示装置の駆動方法の説明図である。
 第29図は、本発明のE1表示装置の駆動方法の説明図である。
 第30図は、本発明のE1表示装置の駆動方法の説明図である。
 第31図は、本発明のE1表示装置の駆動方法の説明図である。
 第32図は、本発明のE1表示装置の駆動方法の説明図である。
 第33図は、本発明のE1表示装置の駆動方法の説明図である。
 第34図は、本発明のE1表示装置の構成図である。
 第35図は、本発明のE1表示装置の駆動方法の説明図である。

5

10

15

20

25

WO 02077998

PCT/JPO2006/68

11

第64図は、本発明のドライバ回路の説明図である。

第65図は、本発明のドライバ回路の説明図である。

第66図は、電圧受け渡し方式の多段式カレントミラー回路の説明図である。

5 第67図は、電流受け渡し方式の多段式カレントミラー回路の説明図である。

第68図は、本発明の他の実施例におけるドライバ回路の説明図である。

10 第69図は、本発明の他の実施例におけるドライバ回路の説明図である。

第70図は、本発明の他に実施例におけるドライバ回路の説明図である。

第71図は、本発明の他の実施例におけるドライバ回路の説明図である。

15 第72図は、本発明のドライバ回路の説明図である。

第73図は、本発明のドライバ回路の説明図である。

第74図は、本発明のドライバ回路の説明図である。

第75図は、本発明のドライバ回路の説明図である。

第76図は、本発明のドライバ回路の説明図である。

20 第77図は、本発明のドライバ回路の制御方法の説明図である。

第78図は、本発明のドライバ回路の説明図である。

第79図は、本発明のドライバ回路の説明図である。

第80図は、本発明のドライバ回路の説明図である。

25 第81図は、本発明のドライバ回路の説明図である。

第82図は、本発明のドライバ回路の説明図である。

第83図は、本発明のドライバ回路の説明図である。

第84図は、本発明のドライバ回路の説明図である。

第85図は、本発明のドライバ回路の説明図である。

WO 02077998

PCT/JPO2006/68

12

第86図は、本発明のドライバ回路の説明図である。

第87図は、本発明のドライバ回路の説明図である。

第88図は、本発明の駆動方法の説明図である。

5 第89図は、本発明のドライバ回路の説明図である。

第90図は、本発明の駆動方法の説明図である。

第91図は、本発明のEL表示装置の構成図である。

第92図は、本発明のEL表示装置の構成図である。

第93図は、本発明のドライバ回路の説明図である。

10 第94図は、本発明のドライバ回路の説明図である。

第95図は、本発明のEL表示装置の構成図である。

第96図は、本発明のEL表示装置の構成図である。

第97図は、本発明のEL表示装置の構成図である。

第98図は、本発明のEL表示装置の構成図である。

15 第99図は、本発明のEL表示装置の構成図である。

第100図は、本発明のEL表示装置の断面図である。

第101図は、本発明のEL表示装置の断面図である。

第102図は、本発明のEL表示装置の構成図である。

第103図は、本発明のEL表示装置の構成図である。

20 第104図は、本発明のEL表示装置の構成図である。

第105図は、本発明のEL表示装置の構成図である。

第106図は、本発明のEL表示装置の構成図である。

第107図は、本発明のEL表示装置の構成図である。

第108図は、本発明のEL表示装置の構成図である。

25 第109図は、本発明のEL表示装置の構成図である。

第110図は、本発明のソースドライバの説明図である。

第111図は、本発明のゲートドライバのブロック図である。

第112図は、第111図のゲートドライバのタイミングチャート図である。

WO 03/027998

PCT/JP02/09668

14

のではない。薄膜ダイオード (TFD)、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLED素子などでもよいことは言うまでもない。つまり、スイッチ素子 111、駆動用素子 111 はこれらのいずれで構成されていてもよい。

有機 EL 表示パネルは、第 10 図に示すように、直素電極としての透過電極 105 が形成されたガラス板 71 (アレイ基板) 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機機能層 (E-層) 15 (15R、15G、15B)、及び金属電極 (反射膜) (カソード) 106 が積層されたものである。透過電極 (直素電極) 105 である陽極 (アノード) にプラス、金属電極 (反射電極) 106 の陰極 (カソード) にマイナスの電圧をそれぞれ加え、すなわち、透過電極 105 及び金属電極 106 間に電流を印加することにより、有機機能層 (E-層) 15 が発光する。

アノードあるいはカソードへ電流を供給する配線 (第 8 図のカソード配線 86、アノード配線 87) には大きな電流が流れる。たとえば、EL 表示装置の画面サイズが 40 インチになると 100 (A) 程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線 (EL 素子に発光電流を供給する配線) を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

めっき金属としては、クロム、ニッケル、金、銀、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅箔からなる金属配線を付

PCT/JP02/09668

15

第 113 図は、本発明のゲートドライバの 1 部のブロック図である。第 114 図は、第 113 図のゲートドライバのタイミングチャート図である。

第 115 図は、本発明の EL 表示装置の駆動方法の説明図である。
第 116 図は、本発明の EL 表示装置の駆動方法の説明図である。
第 117 図は、本発明の EL 表示装置の駆動方法の説明図である。
[発明を実施するための最良の形態]

以下、本発明の実施の形態について、図面を参照しながら説明する。本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、第 111 図に図示する表示パネルの断面図では封止膜 111 などを十分厚く図示している。一方、第 10 図において、封止フタ 85 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態、材料、機能または動作を示している。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、第 8 図の表示パネルにタッチパネルなどを付加し、第 19 図、第 59 図から第 61 図に図示する情報表示装置とすることができる。また、拡大レンズ 582 を取り付け、ビデオカメラ (第 59 図など参照のこと) などに用いるビューファインダ (第 58 図を参照のこと) を構成することもできる。また、第 4 図、第 15 図、第 18 図、第 21 図、第 23 図などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

なお、本明細書では、駆動用トランジスタ 111、スイッチング用トランジスタ 111 は薄膜トランジスタとして説明するが、これに限定するも

- 加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、直抵抗値を低下させる。また、ボンディング技術で配線を重複して形成することにより配線を補強してもよい。また、必要に応じて、配線に積層してグラブドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

- また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電圧に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

- 金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銀または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

- なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL膜15は蒸着で形成することに限定するのではなく、インクジェットで形成してもよいことは言うまでもない。

なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤10

7によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

- 第10図はガラスのフタ85を用いて封止する構成であるが、第11図のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分透過性が極めて悪い（防湿性能が高い）。そのため、このフィルムを封止膜111として用いる。また、DLC膜などを電極106の表面に直接蒸着する構成でもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

- 薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、 d は薄膜の厚さが積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。これは薄膜の膜厚、屈折の薄膜が積層されている場合はそれらの屈折率を総合して計算する）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀との合金あるいは混合物あるいは積層物を形成してもよい。

- 20 以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す（下取り出し（第10図を参照、光取り出し方向は第10図の矢印方向である））の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミニウム電極を形成する。次にこのアルミニウム膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は1μm以上10μm以下の厚みが適する。さらに好ましくは、膜厚は2μm以上6μm以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発

WO 03027998

PCT/JP0209668

18

EL, PEL, PLED, OLED など多種多様な略称で記述される) 15 を例にあげて説明するがこれに限定するものではなく、有機EL素子にも適用されることは言うまでもない。

まず、有機EL表示パネルに用いられるアクティブマトリクス方式 5 は、

(1) 特定の画素を選択し、必要な表示情報を与えられること

(2) 1 フレーム期間を通じてEL素子に電流を流すことができること、という2つの条件を満足させなければならない、

この2つの条件を満足させるため、第62図に示す従来の有機EL 10 の画素構成では、第1のトランジスタ211bは画素を選択するためスイッチング用トランジスタ、第2のトランジスタ211aはEL素子(EL素子)215に電流を供給するための駆動用トランジスタとする。

この構成を用いて階層を表示させる場合、駆動用トランジスタ211aのゲート電圧として階層に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ211aのオン電流のばらつきがそのまま表 15 示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる 形成温度が450度以下の低温ポリシリコン技術で形成した低温多結 晶トランジスタでは、そのしきい値に±0.2V~0.5Vの範囲でば 20 らつきがある。そのため、駆動用トランジスタ211aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ211の劣化によっ ても特性は変化する。

この現象は、低温ポリシリコンは常に限定されるものではなく、プロセス温度が450度(摂氏)以上の高温ポリシリコン技術でも、固相(CGS)成長させた半導体膜を用いてトランジスタなどを形成したもので

WO 03027998

PCT/JP0209668

17

生する。封止膜111は前述したように、DLC(ダイヤモンドライクカーボン)、あるいは電界コンデンサの層構造(誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造)が例示される。

EL層15側から光を取り出す「上取り出し(第11図を参照、光取 5 り出し方向は第11図の矢印方向である)」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード(アノード)となるAg-Mg膜を20オングストローム以上300オングストローム以下の膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する、この緩衝膜上に 10 封止膜111を形成する。

有機EL層15から発生した光の半分は、反射膜106で反射され、アレイ基板71を透過して出射される。しかし、反射膜106に外光が 15 反射することにより写り込みが発生して表示コントラストが低下する。この対策のために、アレイ基板71に2/4板108および偏光板(偏光フィルム)109を配置している。これらは一般的に円偏光板(円偏光シート)と呼ばれる。

なお、画素が反射電極の場合はEL層15から発生した光は上方向に出射される。したがって、位相板108および偏光板109は光出射側に配置することはいくつかでもない。なお、反射型画素は、画素電極10 5を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極105の表面に、凸部(もしくは凹凸部)を設けることで有機EL層15との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード106(アノード105)となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光 25 の干渉も低減することになるため望ましい。

トランジスタ11はLDD(ローダーピングドレイン)構造を採用することが好ましい。また、本明細書ではEL素子として有機EL素子(O

WO 03/027998

PCT/JP02/09669

19

も発生する。その他、有機トランジスタでも発生する。アモルファシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策することができ構成あるいは方式である。なお、本願明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

第62図のように、電圧を書き込むことにより、陰極を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるという要求を満たすことができない。

本発明のEL表示装置の画面構造は、具体的に第1図に示すように、単位画素が4つのトランジスタ11ならびにEL素子により形成される。画素電圧はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイアパーチャ(HA)構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線(第1の走査線)17aに対してゲート信号を出力してアクテイング(ON電圧を印加)とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するように、ゲート信号線17aをアクテイング(ON電圧を印加)とすることによりトランジスタ11bを開くと共に、トランジスタ11aのゲートとソース間を接続されたコンデンサ(キャパシタ、蓄積容量、付加容量)19にトランジスタ11aのゲート電圧(あるいはドレイン電圧)を記憶する(第3図(a)を参照のこと)。

なお、トランジスタ11aのソース(S)ーゲート(G)間容量(コ

WO 03/027998

PCT/JP02/09669

20

ンデンサ)19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルとから蓄積容量を形成する構成である。トランジスタ11cのリークによる漏れ低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

また、コンデンサ(蓄積容量)19の大きさは、0.2pF以上2pF以下とすることが好ましく、中でもコンデンサ(蓄積容量)19の大きさは、0.4pF以上1.2pF以下とすることが好ましい。画素素子を考慮してコンデンサ19の容量を決定する。1画素に必要な容量をCS(DF)とし、1画素が占める面積(開口率ではない)をSD(平方μm)とすれば、 $500/S \leq CS \leq 20000/S$ と、さらに好ましくは、 $1000/SD \leq CS \leq 10000/SD$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうQとは、蓄積容量(コンデンサ)19単独の容量である。

コンデンサ19は隣接する画面間の非表示領域におおむね形成することが好ましい。一般的に、フルカラー有機EL素子15を作成する場合、有機EL層15をメタルマスクによるマスク露光で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生する。そのため、各色の隣接する画面間の非表示領域は10μ以上離れて、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

次に、ゲート信号線17aを非アクテイング(OFF電圧を印加)、ゲート信号線17bをアクテイングとして、電流の流れる経路を前記第1のトランジスタ11aおよびEL素子15に接続されたトランジスタ11dならびにEL素子15を含む経路に切り替えて、上述したようにし

WO 03/077998

PCT/JP02/09668

21

て記憶した電流を前記EL素子15に流すように動作する（第3図（b）を参照のこと）。

この回路は1画面内に4つのトランジスタ11を有しており、トランジスタ11aのゲートはトランジスタ11bのソースに接続されており、また、トランジスタ11bおよびトランジスタ11cのゲートはゲート信号線17aに接続されている。トランジスタ11bのドレインはトランジスタ11cのドレインならびにトランジスタ11dのソースに接続され、トランジスタ11cのソースはソース信号線18に接続されており。トランジスタ11dのゲートはゲート信号線17bに接続され、トランジスタ11dのドレインはEL素子15のアノード電極に接続されている。

なお、第1図ではすべてのトランジスタがPチャネルで構成されている。PチャネルはNチャネルのトランジスタに比較して多少モビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャネルで構成することのみに限定するものではない。Nチャネルのみで構成してもよい。また、NチャネルとPチャネルの両方を用いて構成してもよい。

また、第1図においてトランジスタ11c、11bは同一の極性で構成し、かつNチャネルで構成し、トランジスタ11a、11dはPチャネルで構成することが好ましい。一般的にPチャネルトランジスタはNチャネルトランジスタに比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子15に対しては、トランジスタ11aをPチャネルにする効果が大い。

最適には図素を構成するトランジスタ11をすべてPチャネルで形成し、内蔵ゲートドライバ12もPチャネルで形成することが好ましい。このようにアレレイをPチャネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を策

WO 03/077998

PCT/JP02/09668

22

現できる。

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について第3図を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bおよびトランジスタ11cをONにすることにより、等価回路として第3図（a）となる。ここで、信号線より所定の電流Iwが書き込まれる。これによりトランジスタ11aはゲートとドレインとが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流Iwが流れる。従って、トランジスタ11aのゲートソース間の電圧は電流Iwが流れるような電圧となる。

第2のタイミングはトランジスタ11bとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は第3図（b）となる。トランジスタ11aのソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、Iwの電流は一定となる。

このように動作させると、第5図に示すようになる。第5図（a）の51aは表示画面50における、ある時刻での電流プログラムされている画面（行）（書き込み画面（行））を示している。この画面（行）51aは、第5図（b）に図示するように非点灯（非表示画面（行））とする。他の、画面（行）は表示画面（行）53とする（表示画面（行）53のEL素子15には電流が流れ、EL素子15が発光している）。

第1図の図素構成の場合、第3図（a）に示すように、電流プログラム時は、プログラム電流Iwがソース信号線18に流れる。この電流Iwがトランジスタ11aを流れ、電流Iwを流す電圧が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

次に、EL素子15に電流を流す期間は第3図（b）のように、トラ

WO 02/027998

PCT/JP02/09668

23

ンジスタ11c、11bがオフし、トランジスタ11dがオンする。つまり、ゲート信号線17aにオフ電圧(Vgh)が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17aにオン電圧(Vgl)が印加され、トランジスタ11dがオンする。

- 5 このタイミングチャートを第4図に示す。なお、第4図などにおいて、括弧内の添え字(たとえば、(1)など)は画素行の行番号を示している。つまり、ゲート信号線17a(1)とは、画素行(1)のゲート信号線17aを示している。また、第4図の1段の*H(「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す)とは、水平走査期間を示している。つまり、1Hとは第1番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、1Hの番号、1H周期、画素行の行番号の順番などを限定するものではない。

- 10 第4図でわかるように、各選択された画素行(選択期間は、1Hとしている)において、ゲート信号線17aにオン電圧が印加されている時には、ゲート信号線17bにはオフ電圧が印加されている。この期間に、EL素子15には電流が流れていない(非点灯状態)。一方、選択されていない画素行において、ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにはオン電圧が印加されている。この期間に、EL素子15に電流が流れている(点灯状態)。

- 20 なお、トランジスタ11bのゲートとトランジスタ11cのゲートとは同一のゲート信号線17aに接続している。しかし、トランジスタ11bのゲートとトランジスタ11cのゲートとを異なるゲート信号線(第32図におけるゲート信号線17a、17c)にそれぞれ接続してもよい。この場合、1画素のゲート信号線は3本となる(第1図の構成は2本である)。トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

WO 02/027998

PCT/JP02/09668

24

ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dとを異なった導電型(NチャネルとPチャネル)とすると、駆動回路の簡略化を図ることができ、画素の開口率を向上させることが出来る。

- 5 このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が配役される際に、電流の流れる経路に分枝があると正確な電流値がトランジスタ11aのソース(S)-ゲート(G)間の容量(コンデンサ)に記憶されない。トランジスタ11cとトランジスタ11dとを異なった導電型にした場合、お互いの閾値を制御することによって走査線が切り替わるタイミングで必ずトランジスタ11cがオフした後、トランジスタ11dがオンするといった動作が可能になる。

- 15 ただし、この場合お互いの閾値を正確に制御する必要があるため、プロセスには十分な注意を払う必要がある。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミング制御を実現するために、または後述するようにミラー効果低減のために、トランジスタ11eを第2図に示すようにカスケード接続する構成としてトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

- 20 トランジスタ11aの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第1のトランジスタ11aのチャネル長が5 μ m以上100 μ m以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャネル長が10 μ m以上50 μ m以下とすることが好ましい。これは、チャネル長を長くした場合、チャネルに含まれる電界が増えることにより電界が緩和されキントク効果が低く抑えられるためであると考えられる。

WO 03/027998

PC1JP02/09668

25

また、画素を構成するトランジスタ11aが、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を2回以上スキャンして半導体膜を形成することが好ましい。

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4以上のトランジスタが必要となる。これらのトランジスタの特性により回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャネル方向が水平の場合と垂直の場合とは、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向とは移動度、閾値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャネル方向は同一であるほうが望ましい。

また、蓄積電容119の容量値をCs、第2のトランジスタ11bのオフ電流値をIoffとした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに、次式を満足させることがより好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ11bのオフ電流を5pA以下とすることにより、ELを流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ119の蓄積電容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタがp-c-hポ

WO 03/027998

PC1JP02/09668

26

リシリコン薄膜トランジスタで構成され、トランジスタ11bをデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のパラッキがトランジスタ11の特性のパラッキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、第1区などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。ここでレーザーとしてエキシマレーザーを用いることが好ましい。

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（CGS）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

この課題に対して、本発明では第7図に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、RGBを1画素16という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザー照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

WO 03027998

PCT/JP0209668

27

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができ、また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_{th} 、 S 値など）を均一にすることができ（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線18に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

10 一般的にレーザー照射スポット72の長さは10インチなどのように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。

15 第7図に示す構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーク73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーク73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーク73を認識し、画素列の位置をわたりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

20 第7図で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザー照射スポットを照射する方法）は、有機EL表示パネルの電流プログラム方式の時に採用することが特に好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。

WO 03027998

PCT/JP0209668

28

そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバ14から出力する電流振幅の変化が少なく、もし、第1図のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。したがって、ソース信号線18の電位変動は発生しない。1つのソース信号線18に接続されたトランジスタ11aの特性がほぼ同一であれば、ソース信号線18の電位変動は小さいことになる。このことは、第3図などの他の電流プログラム方式の画素構成でも同一である（つまり、第7図の製造方法を適用することが好ましい）。

また、第27図、第30図などで説明する複数の画素行を同時書き込む方式で均一な画像表示を実現することができる。これは、主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである。第27図などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路14で吸収できる。

なお、第7図に示すとおり、ソースドライバ14は、1Cチップを積載して形成されているが、これに限定するものではなく、ソースドライバ14を図素16と同一プロセスで形成してもよいことは言うまでもない。

25 本発明では特に、トランジスタ11bの閾電圧 V_{th2} が画素内で対応するトランジスタ11aの閾電圧 V_{th1} より低くならない様に設定されている。例えば、トランジスタ11bのゲート長 $L2$ をトランジスタ11aのゲート長 $L1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならないようにする。これにより、微少な電流リークを抑制することが可

能である。

なお、以上の事項は、第38図に図示するカレントミラーの画素構成にも適用できる。第35図では、信号電流が流れる駆動用トランジスタ11a、Eし素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ11bの他、ゲート信号線17a1の制御によって画素回路とデータ線data1aとを接続または遮断する取込用トランジスタ11c、ゲート信号線17a2の制御によって書き込み期間中にトランジスタ11aのゲート・ドレインを短絡するスイッチ用トランジスタ11d、トランジスタ11aのゲート・ソース間の電圧の書き込み終了後も保持するための蓄積容量19および発光素子としてのEし素子15などから構成される。

第38図でトランジスタ11c、11dはNチャネルトランジスタで、その他のトランジスタはPチャネルトランジスタでそれぞれ構成しているが、これは一例であって、必ずしもこの通りである必要はない。蓄積容量19は、その一方の端子がトランジスタ11aのゲートに接続され、他方の端子がVdd（電源電位）に接続されているが、Vddに限らず任意の一定電位でも良い。Eし素子15のカソード（陰極）は接地電位に接続されている。

次に、本発明のEし表示パネルおよびEし表示装置について説明をする。第6図はEし表示装置の回路を中心とした説明図である。画素16がマトリックス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段は階調データである画像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

なお、iつのカレントミラー回路の最小出力電流は10nA以上50nA以下にしている。特にカレントミラー回路の最小出力電流は15nA以上35nA以下にすることが好ましい。ソースドライバ14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソースドライバ14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはデイスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはデイスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成されていることが好ましい。Eし素子15の閾値がRGBで異なるからである。

有機Eし素子には大きな温度依存性特性があることが知られている。この温度による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温度依存性特性による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

本発明において、ソースドライバ14は半導体チップで形成されており、ガラスオンチップ（COG）技術で基板71のソース信号線18の端部と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略化できるからである。

ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC82を別途作製し、3チップ構成としてもよい。

一方、ゲートドライバ12は低温ポリシリコン技術で形成されている。

WO 03/027398

PCIJP0209668

31

つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ14に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術を用いても容易にゲートドライバ12を形成することができ、これにより熱履歴化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板71上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

- 10 ゲートドライバ12はゲート信号線17a用のシフトレジスタ回路61aと、ゲート信号線17b用のシフトレジスタ回路61bとを内蔵する。各シフトレジスタ回路61は正相および負相のクロック信号（CLKXP、CLKXN）、スタートパルス（STX）で制御される。その他、ゲート信号線17の出力を所望するエンベロープ（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDOWN）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC81からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。
- 20 シフトレジスタ回路61のパッケージ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ回路61の出力とゲート信号線17を駆動する出力ゲート63間には少なくとも2つ以上のインバータ回路62が形成されている。
- 25 ソースドライバ14を低温ポリシリコンなどのポリシリコン技術で基板71上に直接形成する場合も同様であり、ソース信号線18を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバ14のシフトレジスタとの間には複数のインバータ回路が形

WO 03/027398

PCIJP0209668

32

成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲート）あるいはトランスファージゲートなどの出力段）間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバに共通の事項である。

- 5 たとえば、第6区ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路に接続されて、インバータの出力がトランスファージゲートなどのアナログスイッチのゲートに接続されている。

- 10 インバータ回路62はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタとから構成される。先にも説明したようにゲートドライバ12のシフトレジスタ回路61の出力端にはインバータ回路62が多段に接続されており、その最終出力が出力ゲート63に接続されている。なお、インバータ回路62はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

- 15 第8図は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールIC81からソースドライバ14aに供給する信号（電源配線、データ配線など）はフレキシブル基板84を介して供給する。

- 20 第8図ではゲートドライバ12の制御信号はコントロールIC81で発生させ、ソースドライバ14で、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4〜8（V）であるから、コントロールIC81から出力された3.3（V）振幅の制御信号を、ゲートドライバ12が受け取ることが可能な5（V）振幅に変換することができ、

- 25 ソースドライバ14内には画像メモリを設けることが好ましい。画像メモリの画像データは誤差拡散処理あるいはダイザ処理を行った後の

WO 03027998

PCT/JP0249668

33

データメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、画像メモリの容量をかきくることができる。誤差拡散処理などは誤差拡散コントローラ81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

なお、第8図などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、第8図などで説明する構成にあっても、第9図などで説明する3辺フリー構成（構造）、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯型電話機などの情報表示装置に使用する場合、ソースドライバ（回路）14、ゲートドライバ（回路）12を第9図に示すように、表示パネルの一边に実装（形成）することが好ましい（なお、このように一边にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバ12が実装され、Y辺にソースドライバ14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバを高周波リシリコンあるいは低周波リシリコン技術などで3辺フリー構成で作製してもよい（つまり、第9図のソースドライバ14およびゲートドライバ12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバ（回路）14、ゲートドライバ（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一边（もしくはほぼ一边）に貼り付けた構成も含む。つまり、2

WO 03027998

PCT/JP0249668

34

辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

第9図のようにゲートドライバ12をソースドライバ14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

なお、第9図などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成されている箇所を示している、したがって、bの部分（画面下部）はゲート信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

C辺に形成するゲート信号線17のピッチは5μm以上12μm以下にする、5μm未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実線によれば7μm以下で寄生容量の影響が顕著に発生する、さらに5μm未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減12μmを越えたと表示パネルの縦線幅Dが大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箱（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

第9図のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンとの合金薄膜を形成する。またはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形

WO 02/073998

PCT/JP0208664

35

成する。以上の事項は本発明の他の実施例でも同様である。

なお、第9図などにおいて、ゲート信号線17などは表示領域の片側に配置するとしてこれに限定されるわけではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

また、ソースドライバ14とゲートドライバ12とをミッチャ化してもよい。ミッチャ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、ミッチャドライバIC内で使用する各種電圧も同時に発生することができる。

なお、ソースドライバ14、ゲートドライバ12はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしてこれが限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

15 第1図などで示した構成ではEL素子15はトランジスタ11aを介してV_{dd}電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の素子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、素子電圧がBとG、Rで異なる。したがって、BとGおよびRとは保持するトランジスタ11aのソース-ドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソース-ドレイン電圧(SD電圧)間のオフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという微細な表示状態になる。

この課題に対処するため、少なくともR、G、B色のうち、1つのカラー電極の電位を他色のカラー電極の電位と異ならせるように構

WO 02/073998

PCT/JP0208664

35

成している。もしくはR、G、B色のうち、1つのV_{dd}の電位を他色のV_{dd}の電位と異ならせるように構成している。

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク電圧を表示しておき、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10(V)以下となるように材料あるいは構造の選定をする必要がある。また、R、G、Bのうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5(V)以内にすることが必要である。さらに好ましくはこの差を1.5(V)以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

15 なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアシ、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアシ、イエロー、マゼンダの6色でもよい。R、G、B、シアシ、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアシ、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBおよびイエローのように塗り分けでもよい。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

20 有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な青の緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない。RGBの各色の有機EL材料をそろえる必要がないという利点がある。

WO 03/077998

PCT/JPO2006/068

37

色変換方式は、塗り分け方式のように歩留まり低下がない、本発明のE表示パネルなどはこのいずれの方式も適用可能である。

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示を実現できる。

RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積を異ならせることが好ましい。もちろん、各色の発光効率が一平衡よく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極の発光面積を調整することが好ましい。各色の電極面積に電圧密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電圧密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホットコンダクタ現象が発生する。ホットコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時のリーク（オフリーク）が増える現象をいう。

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層に遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏し

WO 03/077998

PCT/JPO2006/068

38

く、厚いと凹凸が発生して上層のトランジスタ11aのバナーニングが困難になる。

遮光膜上に20nm以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（H/A）構造の画素電極が形成される。

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホットコンダクタ現象の影響により駆動作からである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの駆動作用あるいはカソード電極とドライバ回路との電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバとの間が隔離される。したがって、前述の課題を解消することができる。

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、ミシ素子15が常時、点灯することになり、かかる画素が輝点となる場合がある。この輝点は視覚的に目立つので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を

WO 02073998

PCT/JPO200668

39

短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

なお、レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい、レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

図案16のトランジスタ11の欠陥は、ドライバ回路14などにも影響を与える。例えば、第56図では駆動用トランジスタ11aにソースドレイン(SD)ショート562が発生していると、パネルのVdd電圧がソースドレイバ14に印加される。したがって、ソースドレイバ14の電源電圧は、パネルの電源電圧Vddと同一かむしろ高くしておくことが好ましい、なお、ソースドレイバ14で使用する基準電流は電子ホリウム561で調整できるように構成しておくことが好ましい。

トランジスタ11aにSDショート562が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態(輝点)となる。輝点は欠陥として目立ちやすい。たとえば、第56図において、トランジスタ11aのソースドレイン(SD)ショートが発生していると、トランジスタ11aのゲート(G)端子電位の大きがかわらなく、Vdd電圧からEL素子15に電流が常時流れる(トランジスタ11dがオンの時)。したがって、EL素子15が輝点となる。

また、トランジスタ11aにSDショートが発生していると、トランジスタ11cがオン状態の時、Vdd電圧がソース信号線18に印加されソースドレイバ14にVdd電圧が印加される。もし、ソースドレイバ14の電源電圧がVdd以下であれば、耐圧を超えて、ソースドレイバ14が破壊されるおそれがある。そのため、ソースドレイバ14の電源電圧はVdd電圧(パネルの高い方の電圧)以上にする 것이好ましい。

トランジスタ11aのSDショートなどは、点欠陥にとどまらず、パネルのソースドレイバの破壊につながるおそれがあり、また、輝点は目

WO 02073998

PCT/JPO200668

40

立つためパネルとしては不良となる。したがって、トランジスタ11aとEL素子15との間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断すればよい。

なお、以上の実施例に配線を切断させるとしたが、黒表示するためにこれに限定されるものではない。たとえば、第1図でもわかるように、トランジスタ11aの電源Vddが、トランジスタ11aのゲート(G)端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、Vdd電圧がトランジスタ11aのゲート(G)端子に印加されるようになる。したがって、トランジスタ11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これは、コンデンサ19にレーザー光を照射することによりコンデンサ電極をショートできるため、容易に実現できる。

また、実際には、画素電極の下層にVdd配線が配置されているから、Vdd配線と画素電極とにレーザー光を照射することにより、図案の表示状態を制御(修正)することができる。

その他、トランジスタ11aのSD間(チャネル)をオープンにすることも実現できる。簡単にはトランジスタ11aにレーザー光を照射し、トランジスタ11aのチャネルをオープンにする。同様に、トランジスタ11dのチャネルをオープンにしてもよい。もちろん、トランジスタ11bのチャネルをオープンにした場合、図案16が選択されないから、黒表示となる。

図案16を黒表示にするためには、EL素子15を劣化させてもよい。たとえば、レーザー光をEL層15に照射し、EL層15を物理的に劣化させる化学的に劣化させ、発光しないようにする(常時黒表示)。レーザー光の照射によりEL層15を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL層15の化学的変化を容易に行うことができる。

WO 03/027998

PCT/JP02/09668

41

なお、以上の実施例は、第1図に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンするものはショートをさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは第62図、第51図などに示されている電圧駆動の画素構成であっても適用できることは言うまでもない。

以下、第1図に示す画素構成について、その駆動方法について説明をする。第1図に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは第1図のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時に導通状態とする。

ソース信号線18には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線18とゲート信号線17とのクロス部の容量、トランジスタ11b、11cのチャネル容量などにより発生する。

ソース信号線18の電流値変化に要する時間は、浮遊容量の大きさをC、ソース信号線18の電圧をV、ソース信号線18に流れる電流をIとすると $t = C \cdot V / I$ である。そのため、電流値を10倍大きくすることにより電流値変化に要する時間を10分の1近くまで短くすることができる。またはソース信号線18の寄生容量が10倍になっても所定の電流値に変化させることができるということを示している。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を10倍にすると出力電流も10倍となる。しかし、この場合、ELの輝度も10倍となるため、所定の輝度を得ることができない。そこで、本発明では、第1図のトランジスタ17dの導通期間を従来の10分の1とし、EL素子15の発光期間を10分の1とすることで、所定の輝度を実現するようにした。

つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムするためには、ソ

WO 03/027998

PCT/JP02/09668

42

ースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電圧値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を1/5にしてもよい。また、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を1/2倍にする場合もあるであろう。

本発明は、画素への書き込み電圧を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流を画素のトランジスタ11に書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定するものではなく、N1倍の電流を画素のトランジスタ11に書き込み、EL素子15のオン時間を1/(N2)倍（N2はN2とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に設定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGBで異なっている間隔（一定割合）により、白（ホワイト）パランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

また、説明を容易にするため、 $1/N$ とは、 $1F$ ($1F$ フィールドまたは $1F$ フレーム期間)を基準としてこの $1F$ を $1/N$ にすると説明する。しかし、 1 画素行が選択され、電流値がプログラムされる時間(通常、 1 水平走査期間($1H$))があるし、また、定数状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜上の問題だけであり、これに限定するものではない。

たとえば、 $N=10$ 倍の電流で画素 16 に電流をプログラムし、 5 の期間の間、 EL 素子 15 を点灯させてもよい。 EL 素子 15 は、 $10/5=2$ 倍の電流で点灯する。逆に、 $N=2$ 倍の電流で画素 16 に電流をプログラムし、 $1/4$ の期間の間、 EL 素子 15 を点灯させてもよい。 EL 素子 15 は、 $2/4=0.5$ 倍の電流で点灯する。つまり、本発明は、 $N=1$ 倍でない電流でプログラムし、かつ、待時点灯($1/1$ 、つまり、間欠駆動でない)状態以外の表示を実施するものである。また、広域には、 EL 素子 15 に供給する電流を $1F$ フレーム(あるいは $1F$ フィールド)の期間において、少なくとも 1 回、オフにする駆動方式である。また、所定値よりも大きな電流を画素 16 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機(無機) EL 表示装置は、 CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも問題がある。つまり、 EL 表示装置では、 $1F$ ($1F$ フィールドあるいは $1F$ フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。そのため、動画面表示を行うと表示画像の輪郭ぼけが発生するという問題が生じる。

本発明では、 $1F/N$ の期間の間だけ、 EL 素子 15 に電流を流し、他の期間($1F(N-1)/N$)は電流を流さない。この駆動方式を実施し、画素の一点を観測した場合を考える。この表示状態では $1F$ ごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示(間欠表示)状態となる。

動画面データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、 CRT に近い動画面表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ(電圧)は液晶層に保持される。したがって、黒挿入表示を実施しようすると液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ 14 の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線 18 に印加しようとする必要がある。したがって、黒挿入(黒表示などの間欠表示)を実現しようすると回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

第1図、第2図、および第3図などに示す本発明の EL 表示パネルの画素構成では、画像データはコンデンサ 19 に保持されている。このコンデンサ 19 の端子電圧に対応する電流を EL 素子 15 に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されていない。

本発明はスイッチングのトランジスタ $11d$ 、あるいはトランジスタ $11e$ などをオンオフさせるだけで EL 素子 15 に流す電流を制御する。つまり、 EL 素子 15 に流れる電流 Iw をオフにしても、画像データはそのままコンデンサ 19 に保持されている。したがって、次のタイミングでスイッチング素子 $11d$ などをオンさせ、 EL 素子 15 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入(黒表示などの間欠表示)を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機 EL 素子 15 は電圧を印加してから発光するまでの時間が短く、高速度に応答する。そのた

め、動画表示に渡し、さらに間欠表示を実施することにより、従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

- さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を1F/Nとすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

- 以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線18の寄生容量は、隣り合うソース信号線18との間の結合容量、ソースドライバIC（回路）14のパンプアップ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量は通常10pF以上となる。電圧駆動の場合は、ドライバIC14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

- しかし、電流駆動では特に黒レベルの画像表示では20nA以下の微小電流で画像のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1画面行にプログラムする時間（通常、1H以内、ただし、2画面行を同時に書き込む場合もある）で1H以内に限定されるものではない）内に寄生容量を充電することができない。しかし1H期間で充電できなければ、画素への書き込み不足となり、所望の解像度での表示を実現することができない。

- 第1図の画素構成の場合、第3図（a）に示すように、電流プログラム時は、プログラム電流1wがソース信号線18に流れる。この電流1wがトランジスタ11aを流れ、電流1wを流す電圧が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオフ状態（オフ状態）である。

次に、EL素子15に電流を流す期間は第3図（b）のように、トラ

ンジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17eにオフ電圧（V_{gh}）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（V_{gl}）が印加され、トランジスタ11dがオンする。

- 今、電流1wが本来流すべき電流（所定値）の10倍であるとする。第3図（b）のEL素子15に流れる電流も所定値の10倍となる。したがって、所定値の10倍の輝度でEL素子15は発光することになる。つまり、第12図に図示するように、倍率Nを高くするほど、表示パネルの表示輝度Bも高くなる。したがって、輝度と倍率とは比例関係となる。一方、1/Nで駆動することにより、輝度と倍率とは反比例の関係となる。

- そこで、トランジスタ11dを本来オンする時間（約1F）の1/Nの期間だけオンさせ、他の期間（N-1）/N期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の1/N（全面面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画面行（厳密には1画面）である）。

- 本発明では、この1F/Nの画像表示領域53が第13図（b）に示すように画面50の上から下に移動する。本発明では、1F/Nの期間の間だけ、EL素子15に電流が流れ、他の期間（1F・（N-1）/N）は電流が流れない。したがって、各画面は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全面面が均一に表示されているように見える。

- なお、第13図に図示するように、書き込み画面行51aは非点灯表示52aとする。しかし、これは、第1図、第2図などの画素構成の場合である。第38図などで図示するカレントミラーの画素構成では、書き込み画面行51aは点灯状態としてもよい。しかし、本明細書では、

説明を容易にするため、主として、第1図の画面構成を例示して説明を
する。また、第13図、第15図などの所定駆動電流Iwよりも大きい
電流でプログラムし、間欠駆動する駆動方法を、倍パルス駆動と云ふ。
この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰
り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び
表示(間欠表示)状態となる。液晶表示パネル(および本発明以外のE
L表示パネル)では、1Fの期間、画面にデータが保持されているため、
動画表示の場合は画像データが変化してもその変化に追従することが
できず、動画がケとなっていった(画像の輪郭ぼけ)。しかし、本発明で
は画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態
を実現できる。つまり、CRTに近い動画表示を実現することができる。

このタイミングチャートを第14図に示す。なお、本発明などにおい
て、特に断りがない時の画面構成は第1図に示したものである。第14
図でわかるように、各選択された画面行(選択期間は、1Hとしている)
において、ゲート信号線17aにオン電圧(Vgl)が印加されている
時(第14図(a)を参照)には、ゲート信号線17bにはオフ電圧(V
gh)が印加されている(第14図(b)を参照)。この期間は、EL
素子15には電流が流れていない(非点灯状態)。一方、選択されてい
ない画面行においては、ゲート信号線17aにオフ電圧(Vgh)が印
加され、ゲート信号線17bにはオン電圧(Vgl)が印加されている。
この期間は、EL素子15に電流が流れている(点灯状態)。また、点
灯状態では、EL素子15は所定のN倍の輝度(N・B)で点灯し、そ
の点灯期間は1F/Nである。したがって、1Fを平均した表示パネル
の表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度)となる。

第15図は、第14図の動作を各画面行に適用した実施例である。ゲ
ート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧
をVgh(Hレベル)とし、オン電圧をVgl(Lレベル)としている。
(1)、(2)などの添え字は選択している画面行の行番号を示してい

る。

第15図において、ゲート信号線17a(1)が選択され(Vgl電
圧)、選択された画面行のトランジスタ11aからソースドライバイ4
に向かつてソース信号線18にプログラム電流が流れる。このプログラ
ム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明す
る。もちろん、所定値とは画像を表示するデータ電流であるから、白ラ
スター表示などでない限り固定値ではない。)である。したがって、コ
ンデンサ19には10倍の電流がトランジスタ11aに流れるように
プログラムされる。画面行(1)が選択されている時は、第1区の画面
構成ではゲート信号線17b(1)はオフ電圧(Vgh)が印加され、
EL素子15には電流が流れない。

1H後には、ゲート信号線17a(2)が選択され(Vgl電圧)、
選択された画面行のトランジスタ11aからソースドライバイ4に向
かつてソース信号線18にプログラム電流が流れる。このプログラム電
流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する)
である。したがって、コンデンサ19には10倍の電流がトランジスタ
11aに流れるようにプログラムされる。画面行(2)が選択されてい
る時は、第1図の画面構成ではゲート信号線17b(2)はオフ電圧(V
gh)が印加され、EL素子15には電流が流れない。しかし、先の画
面行(1)のゲート信号線17a(1)にはオフ電圧(Vgh)が印加
され、ゲート信号線17b(1)にはオン電圧(Vgl)が印加される
ため、点灯状態となっている。

次の1H後には、ゲート信号線17a(3)が選択され、ゲート信号
線17b(3)はオフ電圧(Vgh)が印加され、画面行(3)のEL
素子15には電流が流れない。しかし、先の画面行(1)(2)のゲ
ート信号線17a(1)(2)にはオフ電圧(Vgh)が印加され、ゲ
ート信号線17b(1)(2)にはオン電圧(Vgl)が印加されるため、
点灯状態となっている。

以上の動作を1Hの同期信号に同期して画像を表示していく、しかし、第15図の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を1/10にしておけばよいことは言うまでもない。しかし、1/10の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面52の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

ところで、本発明の駆動方法においては、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電することが要点である。したがって、EL素子15に所定電流のN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなどの処理を施す）、ダミー-EL素子とEL素子15とに分けて電流を流してもよい。たとえば、信号電流が0.2μAのとき、プログラム電流を2.2μAとして、トランジスタ11aには2.2μAを流す。この電流のうち、信号電流0.2μAをEL素子15に流して、2μAをダミーのEL素子に流すなどの方式が例示される。つまり、第27図のダミー-画素行281を常時選択状態にする。なお、ダミー-画素行は発光させないが、もしくは、遮光膜などを形成し、発光していないでも視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動用トランジスタ11aに所定電流のN倍の電流が流れるようにプログラムすることができ、かつ、EL素子15には、前記N倍の電流よりは十分小さい電流を流すことができることになる。以上の方法では、第5図に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができ

第13図(a)は表示画面50への書き込み状態を図示している。第13図(a)において、51aは書き込み画素行である。ソースドライバ：4から各ソース信号線18にプログラム電流が供給される。なお、第13図などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、0.5H期間でも、2H期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのが電圧である電圧プログラム方式（第62図など）でもよい。

第13図(ε)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ12aにプログラムされる。このとき、ゲート信号線17bにはオフ電圧が印加され、その結果EL素子15には電流が流れない。これは、トランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、第1図に示す構成を例にすれば、第13図(b)で示すように電流が書き込まれている画素行は非点灯領域52となる。

今、N（ここでは、先に述べたようにN=10とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の画面を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIF(Quarter Common Intermediate Format)の220本(S=220)とすれば、22本を表示領域53とし、220-22=198本を非表示領域52とすればよい。一般的に述べれば、水平走査線の本数(画素行数)をSとすれば、S/Nの領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、S(N-1)/Nの領域は非点灯領域52とする。この非点灯領域は黒表

示（非発光）である。また、この非発光領域52はトランジスタ51dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値に調整することは言うまでもない。

5 また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍となるため、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、1/8を非点灯領域52とし、Gの画素は、1/6を非点灯領域52とし、Bの画素は、1/10を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階層において色のバランス調整が容易になる（第41図を参照のこと）。

15 第13図(b)に図示するように、書き込み画素行51aを含む画素行を非点灯領域52とし、書き込み画素行51aよりも上面のS/N（時間的には1F/N）の範囲を表示領域53とする（画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が常状になって、画面の上から下に移動する。

20 第13図の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートの低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

25 この課題に対しては、第16図に図示するように、表示領域53を複数に分割するとよい。この分割された総和がS(N-1)/Nの面積となれば、第13図の明るさと同等になる。なお、分割された表示領域5

3は等しく（等分に）する必要はない。また、同時に分割された非表示領域52も等しくする必要はない。

5 以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下することになる。

10 第17図はゲート信号線17の電圧波形およびE1の発光輝度を図示している。第17図で明らかのように、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割（分割数K）している。つまり、Vg1にする期間は1F/(K/N)の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整がリウムを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

15 なお、第17図などにおいて、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割（分割数K）し、1F/(K/N)の期間をK回実施することとしたがこれに限定されるわけではない。1F/(K/N)の期間をL(L≠K)回実施してもよい。つまり、本発明は、E1素子15に流す期間（時間）を制御することにより画像を表示するものである。したがって、1F/(K/N)の期間をL(L≠K)回実施することとは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度（コントラスト）変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

WO 03/027998

PCT/JPO2006/63

PCT/JPO2006/68

53

以上の実施例は、E1素子15に流れる電流を遮断し、また、E1素子に流れる電流を接続することにより、表示画面50をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一の電流を流すものである。しかし、本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ（点灯、非点灯）する方式でもよい。

第18図は第16図の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形を示している。第18図と第15図の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（VglとVgh）動作する。他の点は第15図と同一であるので説明を省略する。

E1表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスの低下はない。また、第15図に示す構成においては、トランジスタ11dをオンオフ動作するだけで間欠表示を実現できる。また、第38図、第51図の構成においては、トランジスタ素子11eをオンオフ動作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ（アテログ値であるから階調数は無視大）されているからである。つまり、各画面16に、画像データは1Fの期間中は保持されている。この保持されている画像データに相当する電流をE1素子15に流すか否かをトランジスタ11d、11eの制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、E1素子15に流す電流が各画面内で保存している構成において、E1素子15間の電流経路において駆動用トランジスタ11をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ19の端子電圧を維持することは重要である。1ワイヤ

54

ド（フレーム）期間でコンデンサ19の端子電圧が変化（充放電）すると、画面輝度に変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ11aが1フレーム（1ワイヤード）期間でE1素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画面16に書き込み、E1素子15に流す電流の最初が100%とした時、次のフレーム（ワイヤード）で前記画面16に書き込む直前のE1素子15に流す電流を65%以上とすることである。

第1図の画面構成では、間欠表示を実現する場合としない場合とでは、1画面を構成するトランジスタ11の個数に変化はない。つまり、画面構成はそのまま、ソース信号線18の寄生容量の影響を除去し、良好な電流プログラムを実現している。その上、CRTに近い動画面表示を実現しているのである。

また、ゲートドライバ12の動作クロックはソースドライバ14の動作クロックに比較して十分に遅いため、回路のタイミングクロックが高くなるということはない。また、Nの値の変更も容易である。

なお、画像表示方向（画像書き込み方向）は、1ワイヤード（1フレーム）目では画面の上から下方向とし、つぎの第2ワイヤード（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互に繰り返すようにしてもよい。

さらに、1ワイヤード（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2ワイヤード（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は拘えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1ワイヤード目では画面の上から下方向と

WO 03/027998

PCT/JP02/09668

50

し、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フィールドを3フィールドに分割し、第1のフィールドではR、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間(1H)ごとに、R、G、Bを切り替えて表示してもよい。以上の事項は他の本発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈するべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

基本的には表示領域53の輝度(明るさ)が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が1.00(n:1)の場合、表示領域53が全画面50に占める割合が10%から20%になれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

表示領域53の面積はシフトレジスタ61へのデータバス(ST2)を制御することにより、任意に設定できる。また、データバスの入力タイミング、周期を変化させることにより、第16図の表示状態と第13図の表示状態とを切り替えることができる。1F周期でのデータバス入数を多くすれば、画面50は明るくなり、少なくなれば、画面50は暗くなる。また、連続してデータバスを印加すれば第13図の表示状態となり、間欠にデータバスを入力すれば第16図の表示状態となる。

第19図(a)は第13図のように表示領域53が連続している場合の明るさ調整方式を説明している。第19図(a1)の画面50の表示輝度が最も明るい。第19図(a2)の画面50の表示輝度が次に明る

WO 03/027998

PCT/JP02/09668

55

く、第19図(a3)の画面50の表示輝度が最も暗い。第19図(a1)から第19図(a3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、第2図のVdD電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面50の輝度変化を実現できる。また、第19図(a1)から第19図(a3)への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面50の輝度が低いときは、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低輝度表示の時は、半分以上の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

第19図(b)は第16図のように表示領域53が分散している場合の明るさ調整方式を説明している。第19図(b1)の画面50の表示輝度が最も明るい。第19図(b2)の画面50の表示輝度が次に明るく、第19図(b3)の画面50の表示輝度が最も暗い。第19図(b1)から第19図(b3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。第19図(b)のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、第19図(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、第19図(e)の駆動方法が適している。静止面を表示し、低消費電力化を要望する時は、第19図(c)の駆動方法が適している。第19図(a)から第19図(c)の駆動方法の切り替えも、シフトレジスタ61の制

WO 03/027998

PCT/JP02/09668

57

御により容易に実現できる。

第20図はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流をき込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線18に流す電流を10倍にする)。

10 第20図に示すように、本発明では、K行の画素行を同時に選択する。ソースドライバ14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流のN/K倍の電流がプログラムされる。EL素子15を所定の発光強度とするために、EL素子15に流れる時間を1フレーム(1フィールド)のK/N時間にする。

15 このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度で所定の発光強度を得ることができる。つまり、1フレーム(1フィールド)のK/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)K/N)は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返して表示される。つまり、画像データの表示状態が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響をうけず、高解像度表示パネルにも対応できる。

25 第21図は、第20図の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をV_{gh}(Hレベル)とし、オン電圧をV_{gl}(Lレベル)としている。各信号線の添え字は画素行の行番号(1)(2)(3)などを記載している。なお、行数はQCIF表示パネル

WO 03/027998

PCT/JP02/09668

58

の場合は220本であり、VGAパネルでは480本である。

第21図において、ゲート信号線17a(1)が選択され(V_{gl}電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行51aが1行目の画素行であるとして説明する。

また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、画素表示などでない限り所定値ではない。)である。また、5画素行が同時に選択($K=5$)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍($N/K=10/5=2$)に電流がトランジスタ11aに流れるようにプログラムされる。

書き込み画素行が(1)画素行目である時、第21図で図示したように、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す(つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の10倍の電流がソース信号線18に流れる)。

以上の動作(駆動方法)により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各

WO 02/017998

59

PCT/JP02/09668

トランジスタ11aは特性(V_t, S値)が一致しているとして説明をする。

- 同時に選択する画素行が5画素行(K=5)であるから、5つの駆動用トランジスタ11aが動作する、つまり、1画素あたり、10/5=2倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる、たとえば、書き込み画素行51aに、本来、書き込む電流1wとし、ソース信号線18には、1w×10の電流を流す。書き込み画素行(1)より以降に画素データを書き込む書き込み画素行51bは、ソース信号線18への電流量を増加させるため、補助的に用いる画素行である、しかし、書き込み画素行51bは後に正規の画素データが書き込まれるので問題がない。

- したがって、4画素行51bにおいて、1周期の間は51aと同一表示である、そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。ただし、第38図のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

- 1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(V_{g1})が印加される。また、同時に、ゲート信号線17a(6)が選択され(V_{g1}電圧)、選択された画素行(6)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画素データが保持される。

- 次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧(V_{g1})が印加される。また、同時に、ゲート信号線17a(7)が選択され(V_{g1}電圧)、選択された画素行(7)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することによ

WO 02/017998

60

PCT/JP02/09668

り、画素行(2)には正規の画素データが保持される。1画素行ずつフットしながら走査して以上の動作を行うことにより1画面が書き換えられる。

- 第20図の駆動方法では、各画素において2倍の電流(電圧)がプログラムされるため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、第16図に図示するように、書き込み画素行51を含み、かつ表示領域50の1/2の範囲を非表示領域52とすればよい。

- 第13図と同様に、第20図のように1つの表示領域53が画面の上から下方向に移動した場合、フレームレートが低いと、表示領域53が移動する様子が視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

- この課題に対しては、第22図に図示するように、表示領域53を複数に分割するとよい。分割された非表示領域52を加えた部分がS(N-1)/Nの面積となれば、分割しない場合と同一となる。

- 第23図はゲート信号線17に印加する電圧波形である。第21図と第23図との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数だけオンオフ(V_{g1}とV_{gH})動作する。他の点は第21図とほぼ同一あるいは類推できるので説明を省略する。

- 以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、5μsecよりも小さい時間でオンオフしても、表示輝度の低下はない。

- 本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロック

WO 03/027998

PCT/JP02/09668

61

周波数はKH2オクターダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

5 第24図は同時に選択する画素行が2画素行の場合である。発明者等が検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接する画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザアニールする際に、ストライプ状のレーザの照射方向はソース信号線18と平行に照射すること

10 とで良好な結果が得られた。

これは同一時間にアニールされる範囲の半導体膜は、その特性が均一となるためである。つまり、ストライプ状のレーザ照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのV_{th}、モビリティがほぼ等しくなるためである。したがって、ソース信号線18の形成方向と平行にストライプ状のレーザ照射を照射し、この照射位置を移動させることにより、ソース信号線18に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った場合、同時に選択された複数の画素行には、プログラム電流を選択された画素行数で割った電流が、ほぼ同一にプログラムされる。したがって、目標に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザ照射方向と第24図などで説明する駆動方式とは相乗効果がある。

25 以上のように、レーザ照射の方向をソース信号線18の形成方向と略一致させることにより、画素の上下方向のトランジスタ11aの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ11aの特性が一致していなくとも）。

WO 03/027998

PCT/JP02/09668

62

以上の動作は、1H（1水平走査期間）に同期して、1画素行あるいは複数の画素行ずつ選択画素行の位置をずらして実施する。なお、本発明は、レーザ照射の方向をソース信号線18と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線18に対して斜め方向にレーザ照射を照射しても1つのソース信号線18に沿った画素の上下方向のトランジスタ11aの特性はほぼ一致して形成されるからである。したがって、ソース信号線に平行にレーザ照射を照射するということとは、ソース信号線18の配線方向（上下方向）に隣接した任意の画素を、1つのレーザ照射範囲に入るように形成することである。また、ソース信号線18とは一般的には、画像信号となるプログラマ電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では1Hごとに、書き込み画素行位置をシフトさせることとしたが、これに限定されるわけではなく、2Hごとにシフトしてもよく、また、それ以上の画素行ごとにシフトさせてもよい。また、任意の時間単位でシフトしてもよい。さらに、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだけ画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行とを選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行とを選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行とを選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行とを選択するといった駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行とを選択するという駆動方法も技術的範囲である。もちろん、複数画素行へだけ画素行位置を選択してもよい。

WO 02077998

PCT/JPO2006/68

63

なお、以上のレーザースキャン方向と、複数本の画素行を同時に選択するという組み合わせは、第1図、第2図、第32図の画素構成のみに限定されるのではなく、カレントミラーの画素構成である第35図、第42図、第50図などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、第43図、第51図、第54図、第62図などの電圧駆動の画素構成にも適用できる。なぜなら、上下方向に隣接する画素のトランジスタの特性が一致していれば、同一のソース信号線18に印加した電圧値により良好な電圧プログラムを実現できるからである。

10 第24図において、書き込み画素行が二行目である場合、ゲート信号線17aは(1)(2)が選択されている(第25図を参照のこと)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)(2)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。したがって、かかる画素行は非点灯状態52となる。なお、第24図では、フリッカの発生を低減するため、表示領域53を5分割している。

15 理想的には、2画素(行)のトランジスタ11aが、それぞれ $1 \times N$ 5($N=10$)の場合。つまり、 $K=2$ であるから、ソース信号線18に流れる電流は $1 \times K \times 5 = 1 \times 2 \times 10$ となる)の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。

20 同時に選択する画素行が2画素行($K=2$)であるから、2つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、2つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、本来、書き込む電流1dを流し、

WO 02077998

PCT/JPO2006/68

64

ソース信号線18には、 $1 \times 2 \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51cは、1行期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

5 次の、cH後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(Vgl)が印加される。また、同時に、ゲート信号線17a(3)が選択され(Vgl電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

10 次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧(Vgl)が印加される。また、同時に、ゲート信号線17a(4)が選択され(Vgl電圧)、選択された画素行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。1画素行ずつシフト(もちろん、複数画素行ずつシフトしてもよい。たとえば、疑似インターレース駆動であれば、2行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう)しながら走査して以上の動作を行うことにより1画面が書き換えられる。

20 第16図と同様であるが、第24図の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域53の輝度は所定値の5倍となる。これを所定の輝度とするためには、第16図などに図示するように、書き込み画素行51を含み、かつ表示画面50の1/5の範囲を非表示領域52とすればよい。

WO 03/027998

PCT/JP02/09668

66

第29図(a)に図示するように、画面の下辺から上辺に走査する(上
下逆走査)する場合は、第29図(b)に図示するように画面50の
上辺にもダミー画素行281を形成すべきである。つまり、画面50の
上辺および下辺のそれぞれにダミー画素行281を形成(配置)する。
6 以上のように構成することにより、画面の上下反転走査にも対応できる
ようになる。

以上の実施例は、2画素行を同時に選択する場合であった。しかし、
本発明はこれに限定されるものではなく、たとえば、5画素行を同時選
択する方式(第23図を参照のこと)でもよい。つまり、5画素行同時
10 駆動の場合は、ダミー画素行281は4行分形成すればよい。本発明の
ダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上の
ダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と
N倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素
15 行数が増加するほど、トランジスタ11aの特性バラツキを吸収するこ
とが困難になる。しかし、選択本数が低下すると、1画素にプログラム
する電流が大きくなり、E1素子15に大きな電流を流すことになる。
E1素子15に流す電流が大きいとE1素子15が劣化しやすくなる。

第30図はこの課題を解決するものである。第30図に示した本発明
20 の基本概念は、1/2H(水平走査期間の1/2)は、第22図、第2
9図で説明したように、複数の画素行を同時に選択する方法である。そ
の後の1/2H(水平走査期間の1/2)は第5図、第13図などで説
明したように、1画素行を選択する方法を組み合わせたものである。こ
のように組み合わせる場合、トランジスタ11aの特性バラツキが吸収
25 されるため、高速にかつ画面内均一性を良好にすることができる。

第30図において、説明を容易にするため、第1の期間では5画素行
を同時に選択し、第2の期間では1画素行を選択するとして説明をする。
まず、第1の期間(前半の1/2H)では、第30図(a1)に図示す

PCT/JP02/09668

65

第27図に図示するように、2本の書き込み画素行51(51a、5
1b)が選択され、画面50の上辺から下辺に順次選択されていく(第
26図も参照のこと。第26図では画素行16aと16bが選択されて
いる)。しかし、第27図(b)のように、画面の下辺までくると書き
込み画素行51aは存在するが、51bはなくなる。つまり、選択する
6 画素行が1本しかなくなる。そのため、ソース信号線18に印加された
電流は、すべて画素行51aに書き込まれる。したがって、画素行51
aに比較して、2倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、第27図(b)に図示するように画面
10 50の下辺にダミー画素行281を形成(配置)している。したがって、
選択画素行が画面50の下辺まで選択された場合は、画面50の最終画
素行とダミー画素行281が選択される。そのため、第27図(b)の
書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー
画素行281は表示領域50の上端あるいは下端に隣接して形成した
15 ように図示したが、これに限定するものではない。表示領域50から離
れた位置に形成されていてもよい。また、ダミー画素行281は、第1
区のスウィッチングトランジスタ11d、E1素子15などは形成する必
要はない。これらを形成しないことにより、ダミー画素行281のサイ
ズを小さくすることができる。

20 第28図は第27図(b)の状態を示している。第28図で明らか
のように、選択画素行が画面50の下辺の画素16c行まで選択された場
合は、画面50の最終画素行281が選択される。ダミー画素行281
は表示領域50外に配置する。つまり、ダミー画素行281は点灯しな
い、あるいは点灯させない、もしくは点灯しても表示として見えないよ
うに構成する。たとえば、画素電極とトランジスタ11とのコンタクト
25 ホールをなくすとか、ダミー画素行にはE1膜を形成しないなどである。

第27図では、画面50の下辺にダミー画素(行)281を設ける(形
成する、配置する)としたが、これに限定するものではない。たとえば、

るように、5画素行を同時に選択する。この動作は第22図を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の2.5倍とする。したがって、各画素16のトランジスタ11a(第1図の画素構成の場合)には5倍の電流(25/5画素行=5)がプログラムされる。2.5倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短時間で充電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ18の端子電圧も5倍電流を流すようにプログラムされる。この2.5倍電流の印加時間は前半の1/2H(1水平走査期間の1/2)とする。

当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるため、表示を行わないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は第30図(a2)に示すとおりとなる。

次の後半の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を第30図(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。第30図(a1)と第30図(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、第30図(a1)で、複数の画素に電流を流し、高速に電流の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのパラッキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、電流の目標値から、所定の目標値まで完全なプログラムを行うのである。

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは第13図などの実施例と同様であるので説明を省略する。

第31図は第30図の駆動方法を実現するための駆動波形である。第31図でわかるように、1H(1水平走査期間)は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は第32図に図示している。

まず、ISEL信号について説明をしておく。第30図を実施するドライバ回路14は、第1電流出力回路と第2電流出力回路とを具備している。これらの第1および第2電流出力回路は、8ビットの階層データをDA変換するDA回路およびオペアンプなどから構成される。第30図の実施例では、第1電流出力回路は2.5倍の電流を出力するように構成されている。一方、第2電流出力回路は5倍の電流を出力するように構成されている。第1電流出力回路および第2電流出力回路の出力はISEL信号により電流出力部に形成(配置)されたスイッチ回路が制御され、ソース信号線18に印加される。これらの第1および第2電流出力回路は各ソース信号線に配置されている。

ISEL信号は、レベルの時、2.5倍電流を出力する第1電流出力回路が選択されてソース信号線18からの電流をソースドライバ14が吸収する(より適切には、ソースドライバ14内に形成された第1電流出力回路が吸収する)。2.5倍、5倍などの第1および第2電流出力回路電流の大きさを調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

第30図に示すように書き込み画素行が1行目である時(第30図の1Hの欄を参照)、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている(第1図の画素構成の場合)。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがレベルであるから、2.5倍電流を出力する第1電流出力回路が選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(Vgh)が印加されている。したがって、画素行(1)(2)(3)(4)(5)

WO 03027998

PCT/JPO2006/68

70

実行 (2) (3) (4) (5) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の 1/2H の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の E_L 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。

10 以上のことから、画素行 (1) のトランジスタ 11a が、それぞれ 1w×5 の電流をソース信号線 18 に流す。そして、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の 1/2H の期間では、

15 第 31 図に示すように書き込み画素行が 2 行目である場合、ゲート信号線 17a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ISEL が L レベルであるから、2.5 倍電流を出力する第 1 電流出力回路が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であ

り、対応する画素行の E_L 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。一方、画素行 (1) のゲート信号線 17b (1) は V_{g1} 電圧が印加されているから、トランジスタ 11d はオン状態であり、画素行 (1) の E_L 素子 15 は点灯する。

同時に選択する画素行が 5 画素行 (K=5) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、2.5/5 =

69

PCT/JPO2006/68

WO 03027998

のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の E_L 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

理想的には、5 画素のトランジスタ 11a が、それぞれ 1w×2 の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性 (V_t, S 値) が一致しているとして説明をする。

10 同時に選択する画素行が 5 画素行 (K=5) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、2.5/5 = 5 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、従来の駆動方法で画素に書き込む電流 1w とする時、ソース信号線 18 には、1w×2.5 の電流を流す。書き込み画素行 (1) より以前に画素データを書き込む書き込み画素行 51b ソース信号線 18 への電流値を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画素データが書き込まれるので問題がない。

したがって、画素行 51b は、1H 期間の間は書き込み画素行 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。

20 次の 1/2H (水平走査期間の 1/2) では、書き込み画素行 51a のみを選択する。つまり、1 行目のみを選択する。第 31 図で明らかに、ゲート信号線 17a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画

5 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

次の1/2H（水平走査期間の1/2）では、書き込み画素行E1aのみを選択する、つまり、2行目のみを選択する。第31図で明らか
5 ように、ゲート信号線17a（2）のみが、オン電圧（V_{gh}）が印加され、ゲート信号線17a（3）（4）（5）（6）はオフ（V_{gl}）が印加されている。したがって、画素行（1）（2）のトランジスタ11aは動作状態（画素行（1）はEL素子15に電流を流し、画素行（2）はソース信号線18に電流を供給している状態）であるが、画素行（3）
10 （4）（5）（6）のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である、つまり、非選択状態である。また、IS₃LがHレベルであるから、5倍電流を出力する第2電流出力回路が選択される。また、ゲート信号線17bの状態は先の1/2Hの状態と変化が
15 なく、オフ電圧（V_{gl}）が印加されている。したがって、画素行（2）（3）（4）（5）（6）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。よ
つて、かかる画素行は非点灯状態52となる。

以上のことから、画素行（2）のトランジスタ11aが、それぞれ1
w×5の電流をソース信号線18に流す、そして、各画素行（2）のこ
20 ンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

第30図で説明した駆動方法は、第1の期間でG画素行（Gは2以上）
25 上）を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行（BはGよりも小さく、こ
上）を選択し、画素行にはN倍の電流を流すようにプログラムする方式である。

しかし、他の方法もある。第1の期間でG画素行（Gは2以上）を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。

第1の期間後の第2の期間ではB画素行（BはGよりも小さく、1以上）
上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が1
1の時は、1画素行の電流）がN倍となるようにプログラムする方式である。たとえば、第30図（a1）において、E画素行を同時に選択し、
5 各画素のトランジスタ11aには2倍の電流を流す。これにより、ソース信号線18には5×2倍＝10倍の電流が流れる。次の第2の期間では第30図（b1）において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

なお、第31図において、複数の画素行を同時に選択する期間を1/2Hとし、1画素行を選択する期間を1/2Hとしたがこれに限定する
10 ものではない。複数の画素行を同時に選択する期間を1/4Hとし、1画素行を選択する期間を3/4Hとしてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間を1Hとしたがこれに限定するものではない。たとえば、2H期間でも、1、
15 5H期間であってもよい。

また、第30図において、5画素行を同時に選択する期間を1/2Hとし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、第30図において、5画素行を同時に選択する第1の期間を1/2Hとし、1画素行を選択する第2の期間を1/2Hとする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素
20 行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでもよい。

25 以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17aの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を1F/Nに規定しながら、順次、点灯する画素行をシフトさせることができ

WO 034027998

PCT/JP02/09668

73

る、このように、各画面実行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。第6図のシフトンジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がレベルの時、ゲート信号線17bにV_{gl}が出力され、入力ST2がHレベルの時、ゲート信号線17bにV_{gh}が出力されるとすれば、シフトレジスタ17bに印加するST2を1F/Nの期間だけLレベルで入力し、他の期間Hレベルにする。この入力されたST2を1Hに同期したクロックCK2でシフトしていくだけである。

10 なお、EL素子15をオンオフする周期は0.5msec以上にすることが必要である。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上にすると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

20 先にも記載したが、黒画面152の分割数は、1つにすると良好な動画面表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒画入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画面がケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

25 なお、黒画面の分割数は静止画と動画面で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面を25%の表示画面の3ブロックで走査するのが分割数3である。静止画

WO 034027998

PCT/JP02/09668

74

は分割数を多くする。動画面は分割数を少なくする。切り替えは入力画像に応じて自動的（動画面検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替え可能なように構成すればよい。

5 たとえば、携帯電話機などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画面を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

10 また、全表示画面に対する黒画面の割合は、全画面の面積を1とした場合に0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが困難となり解像度が劣化する。

20 いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線8に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（第33図、第35図などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせる行ってもよいことは言うまでもない。

なお、以上の事項は、第38図などの電流プログラムの画素構成、第

43図、第51図、第54図などの電圧プログラムの画素構成でも適用
できることは言うまでもない。第38図では、トランジスタ11dを、
第43図ではトランジスタ11dを、第51図ではトランジスタ11e
をオンオフ制御すればよい。このように、E1素子15に電流を流す配
線をオンオフすることにより、本発明のN倍バルス駆動を容易に実現で
きる。

また、ゲート信号線17bの1F/Nの期間だけ、Vg1にする時刻
は1F(1Fに限定するものではない。単位期間でよい。)の期間のう
ち、どの時刻でもよい。単位期間のうち、所定の期間だけE1素子15
をオンさせることにより、所定の平均強度を得るものだからである。た
だし、電流プログラム期間(1H)後、すぐにゲート信号線17bをV
g1にしてE1素子15を発光させる方がよい。第1図のコンデンサ1
9の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好まし
い。たとえば、ユーザが明るさ調整スイッチを押すことにより、あるいは
明るさ調整ボリュームを回すことにより、この変化を映出してKの値を
変更する。表示する画像の内容、データにより手動で、あるいは自動的に
変化させるように構成してもよい。

このようにKの値(画像表示部53の分割数)を変化させることも容
易に実現できる。第6図においてSTに印加するデータのタイミング
(1Fのいつにレベルにするか)を調整あるいは可変できるように構
成しておけばよいからである。

なお、第16図などでは、ゲート信号線17bをVg1にする期間(1
F/N)を複数に分割(分割数K)し、Vg1にする期間は1F/(K
/N)の期間をK回実施するとしたがこれに限定されるものではない。
1F/(K/N)の期間をL(L≠K)回実施してもよい。つまり、本
発明は、E1素子15に流す期間(時間)を制御することにより画像S
0を表示するものである。したがって、1F/(K/N)の期間をL(L

≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値
を変化させることにより、画像S0の輝度をデジタル的に変更すること
ができる。たとえば、L=2とし=3とでは50%の輝度(コントラス
ト)変化となる。これらの制御も、本発明の他の実施例にも適用できる
ことは言うまでもない(もちろん、以降に説明する本発明にも適用でき
る)。これらも本発明のN倍バルス駆動である。

以上の実施例は、E1素子15と駆動用トランジスタ11aとの間に
スイッチング素子としてのトランジスタ11dを配置(形成)し、この
トランジスタ11dを制御することにより、画面S0をオンオフ表示す
るものであった。この駆動方法により、電流プログラム方式の黒表示状
態での電流書き込み不足をなくし、良好な輝度あるいは黒表示を実現
するものであった。つまり、電流プログラム方式では、良好な黒表示を
実現することが大きな利点である。次に説明する駆動方法は、駆動用ト
ランジスタ11aをリセットし、良好な黒表示を実現するものである。

以下、第32図を用いて、その実施例について説明をする。

第32図は基本的には第1図に示した画素構成と同様である。第32
図の画素構成では、プログラムされた1V電流がE1素子15に流れ、
E1素子15が発光する。つまり、駆動用トランジスタ11aはプログ
ラムされることにより、電流を流す能力を保持している。この電流を流
す能力を利用してトランジスタ11aをリセット(オフ状態)にする方
式が第32図に示す駆動方式である。以降、この駆動方式をリセット駆
動と呼ぶ。

第1図の画素構成でリセット駆動を実現するためには、トランジスタ
11bとトランジスタ11cを並立してオンオフ制御できるように構
成する必要がある。つまり、第32図で示すようにトランジスタ1
1bをオンオフ制御するゲート信号線17a(ゲート信号線WR)、ト
ランジスタ11cをオンオフ制御するゲート信号線17c(ゲート信号
線E1)を並立して制御できるようにする。ゲート信号線17aおよび

WO 03/027998

PCT/JPO2006/668

77

ゲート信号線17cの制御は第6図に図示するように独立した2つのシフトレジスタ61で行えばよい。

ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート信号線WRの振幅値(オン電圧とオフ電圧との差)は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き返け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない(印刷する(選択時))を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャネルトランジスタで形成されている場合は、シフトレジスタ61aおよび61bのV_{gh}(オフ電圧)を略同一にし、シフトレジスタ61aのV_{gl}(オン電圧)をシフトレジスタ61bのV_{gl}(オン電圧)よりも低くする。

以下、第33図を参照しながら、リセット駆動方式について説明をする。第33図はリセット駆動の原理説明図である。まず、第33図(a)に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショット状態となり、1b電流が流れる。一般的に、トランジスタ11aは1つ前のフィードバック(フレイム)で電流プログラムされ、電流を返す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態となれば、駆動電流1bがトランジスタ11aのゲート(G)端子に流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。

WO 03/027998

PCT/JPO2006/668

78

このトランジスタ11aのリセット状態(電流を流さない状態)は、第51図などを参照して説明する電圧オフセットキャパシタ方式のオフセット電圧を保持した状態と等価である。つまり、第33図(a)の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ11aの特性に応じて異なる電圧値である。したがって、第33図(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))が保持されることになるのである。

なお、第33図(a)の動作の前に、トランジスタ11b、トランジスタ11cをオフ状態にし、トランジスタ11dをオン状態にし、駆動用トランジスタ11aに電流を流すという動作を実施することが好ましい。この動作は、駆動用トランジスタ11aに電流を流すという動作を実施することが好ましい。EL素子15に電流が流れてEL素子15が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1H(1水平走査期間)の0.1%以上10%以下とすることが好ましい。さらに好ましくは0.2%以上2%以下とすることが好ましい。もしくは0.2μsec以上5μsec以下とすることが好ましい。また、全画面の画素16に一括して前述の動作(第33図(a)の前行う動作)を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ11aのドレイン(D)端子電圧が低下し、第33図(a)の状態でスムーズな電流1bを流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

第33図(a)に示す状態の実施時間を長くするほど、電流1bが流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第33図(a)に示す状態の実施時間は固定値にする必要がある。発明者等による実験および検討によれば、第33図(a)に示す状態の実施時間は、1H以上5H以下とすることが好ましい。なお、この期間は、

R、G、Bの画素で異ならせることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。RGBの各画素で、E材料に適応して、もともと最適な期間を設定する。なお、実施例において、この期間は1H以上5H以下にするとして、6が、黒挿入（黒画面を書き込む）を主とする駆動方式では、5H以上であってよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

第33図(a)に示す状態を実施後、1H以上5H以下の期間において、第33図(b)に示す状態にする。第33図(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。第33図(b)に示す状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流Iwを出力（あるいは吸収）し、このプログラム電流Iwを駆動用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

もし、プログラム電流Iwが0(A)であれば、トランジスタ11aは第33図(a)に示す電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第33図(b)に示す状態で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生しているときでも、黒表示状態のオフセット電圧から電流プログラムを完全に行うことができる。したがって、目標の電流値にプログラムされる時間が増減に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる増減誤差がなく、良好な画像表示を実現できる。

第33図(b)に示す状態の電流プログラミング後、第33図(c)に図示するように、トランジスタ11bとトランジスタ11cとをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aから

のプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。第33図(c)に関しても、第1図などで以前に説明したので詳細は省略する。

つまり、第33図で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間とを切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子（もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子）との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、第32図の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておく必要はない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）、次に、EL素子15に電流が供給され、画素行は所定厚度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。第33図(a)に示すリセットが完全に行われるのに比較的時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行も含めると6画素行）となるはずである。

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ず

McDermott Will & Emery

Part II

Boston Brussels Chicago Düsseldorf London Los Angeles Miami Milan
Munich New York Orange County Rome San Diego Silicon Valley Washington, D.C.

FACSIMILE**Date:** September 14, 2007**Time Sent:**

To:	Company:	Facsimile No:	Telephone No:
Ms. Karen Creasy	USPTO - Petitions Branch	571-273-0025	
From:	Michael E. Fogarty	Direct Phone:	202.756.8372
E-Mail:	mfogarty@mwe.com	Direct Fax:	202.756.8087
Sent By:	Constance Collins	Direct Phone:	202.756.8659
Client/Matter/Tkpr:	060188-0780	Original to Follow by Mail:	No
		Number of Pages, Including Cover:	
Re:	Application Serial No.: 10/797,245 Group Art Unit: 2838 Allowed: June 18, 2007		

Message:

This is a Petition under 37 C.F.R. 1.313(c) for the withdrawal of this application from issue.

**PLEASE CONFIRM RECEIPT BY RETURN FACSIMILE
THANK-YOU.**

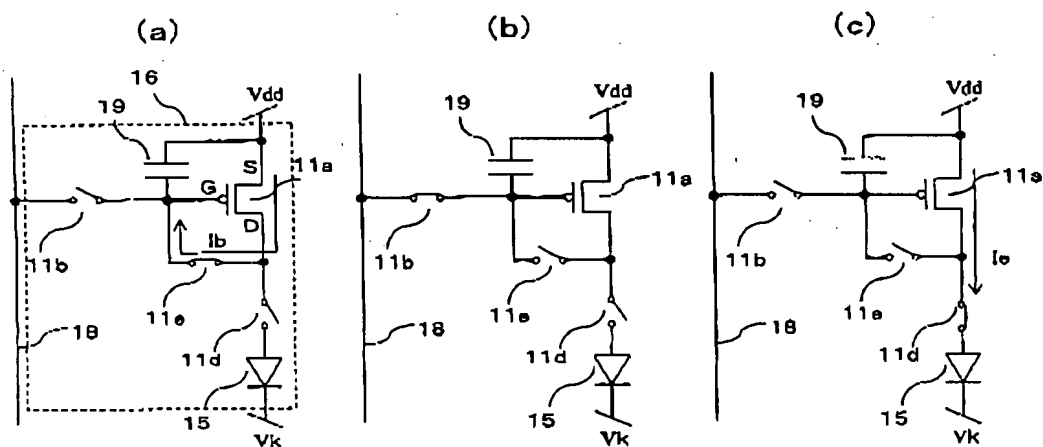
The information contained in this facsimile message is legally privileged and confidential information intended only for the use of the individual or entity named above. If the reader of this message is not the intended recipient, you are hereby notified that any dissemination, distribution, or copy of this facsimile is strictly prohibited. If you have received this facsimile in error, please notify us immediately by telephone and return the original message to us at the below address by mail. Thank you.

IF YOU DO NOT RECEIVE ALL OF THE PAGES, PLEASE CALL CONSTANCE COLLINS AS SOON AS POSSIBLE.

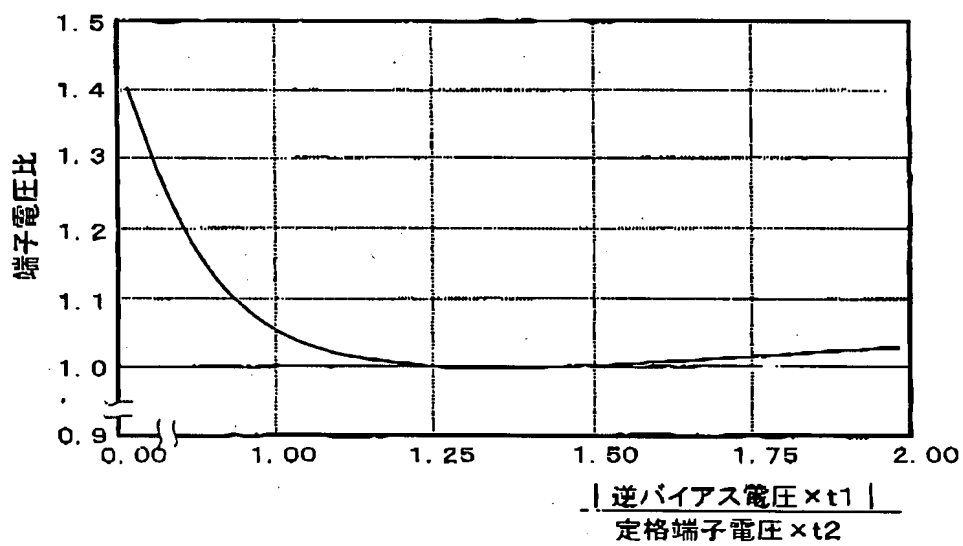
Main Facsimile: 202.756.8087 Facsimile Operator: 202.756.8090

U.S. practice conducted through McDermott Will & Emery LLP.
600 Thirteenth Street, N.W. Washington, D.C. 20005-3096

Telephone: 202.756.8000



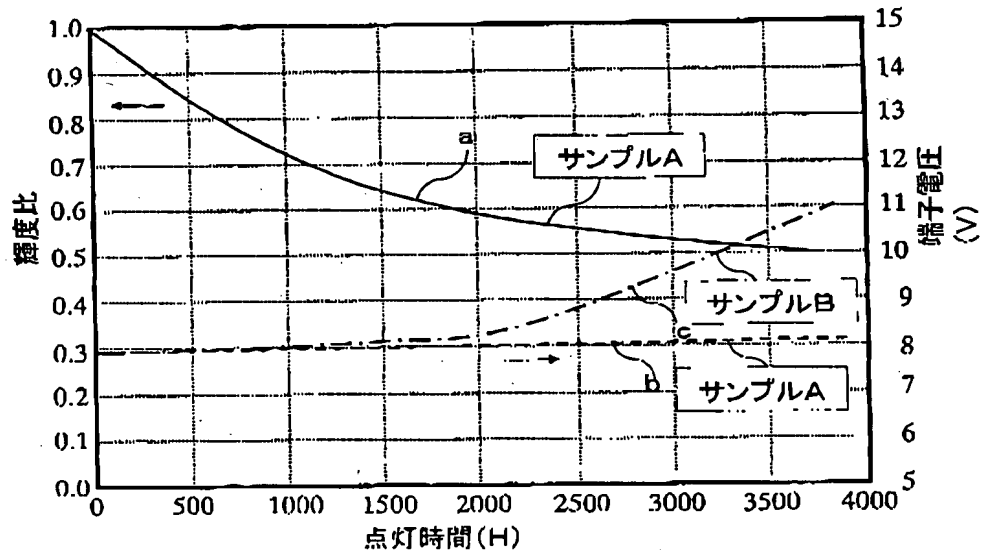
第44図



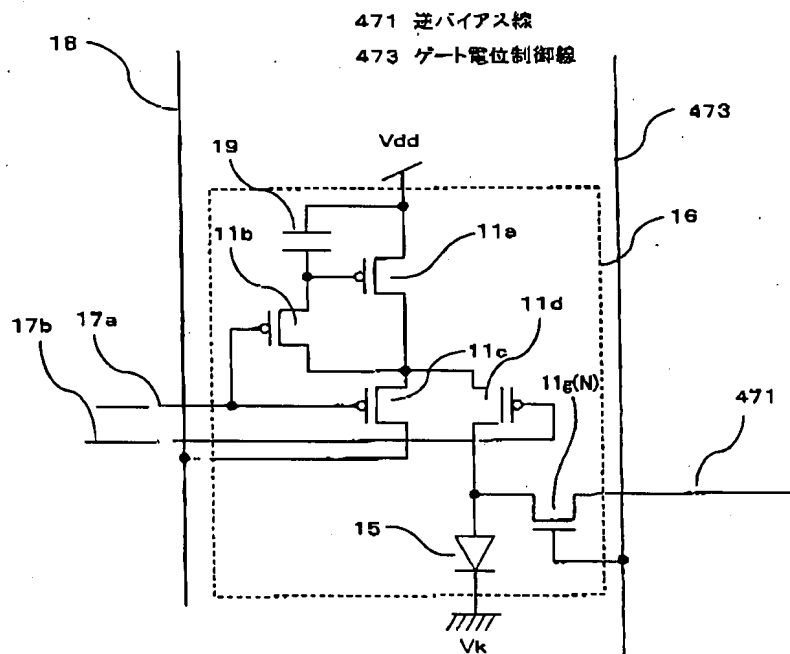
第45図

WO 03/027998

PCT/JPO2006/068



第46図



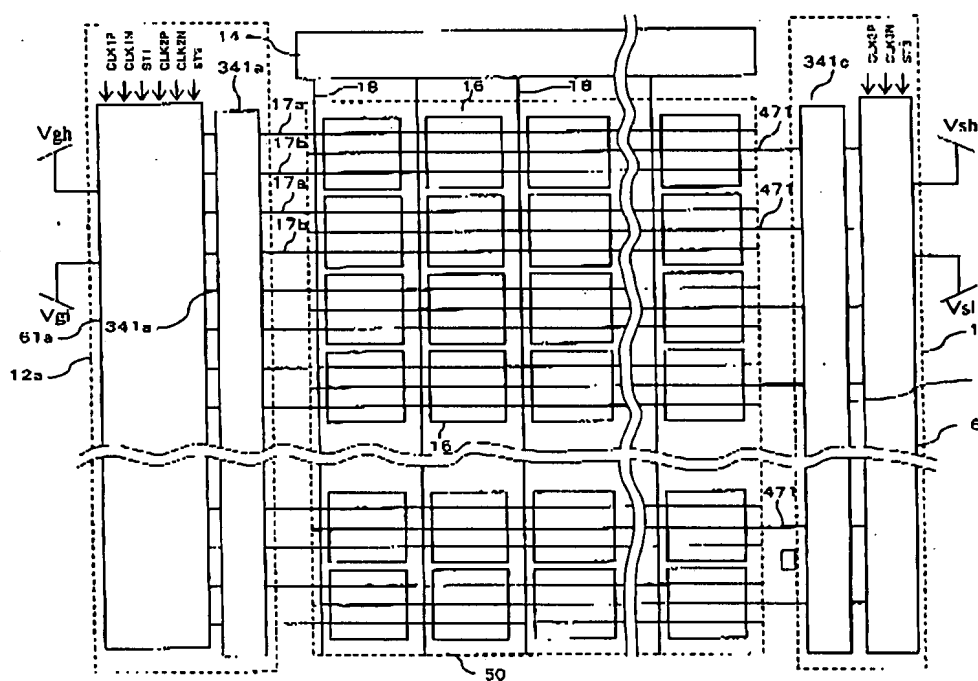
第47図

46/117

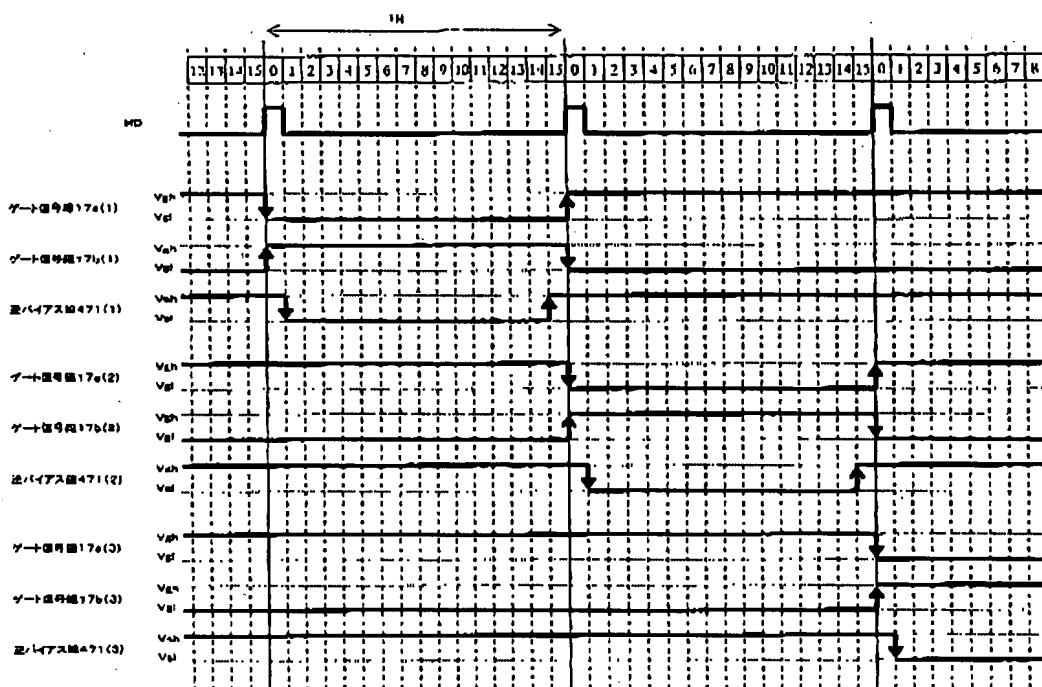
47/117

WO 03/027998

PCT/JPO2006/068



第48図



第49図

WFO 03/07/98

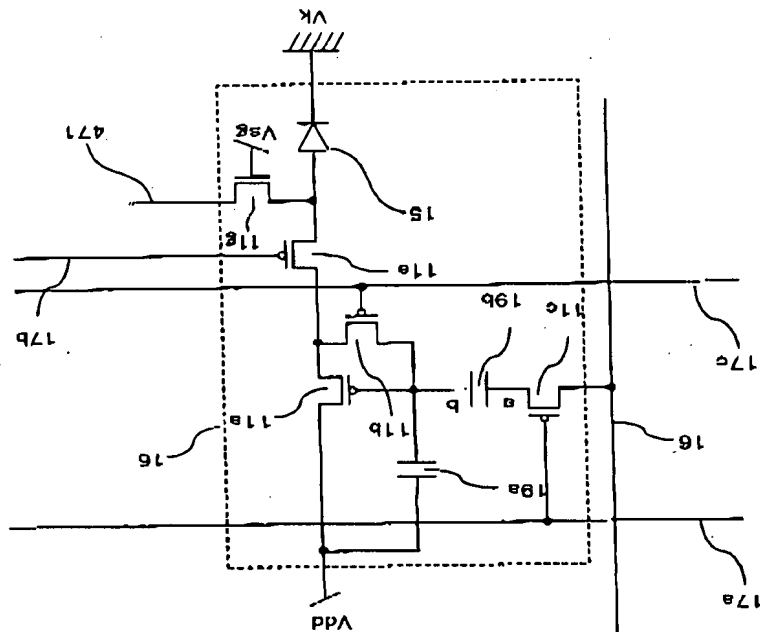
PCT/JP02/09668

WFO 03/07/98

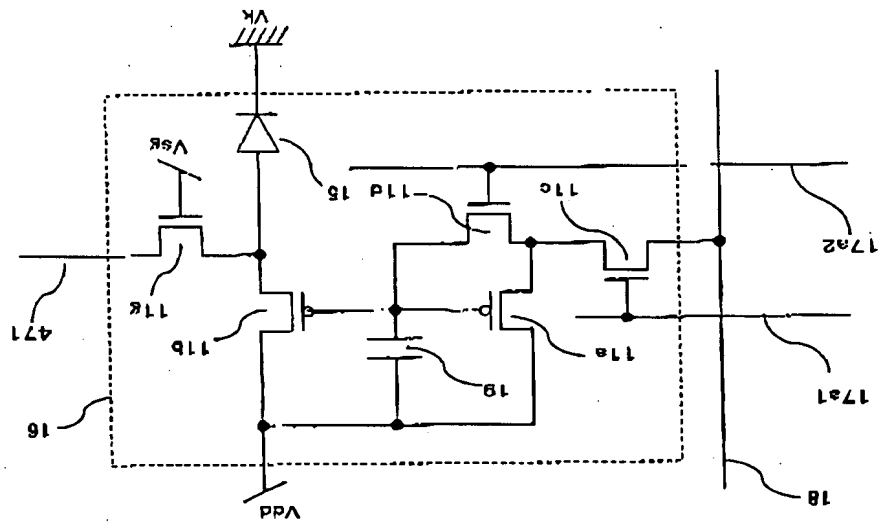
PCT/JP02/09668

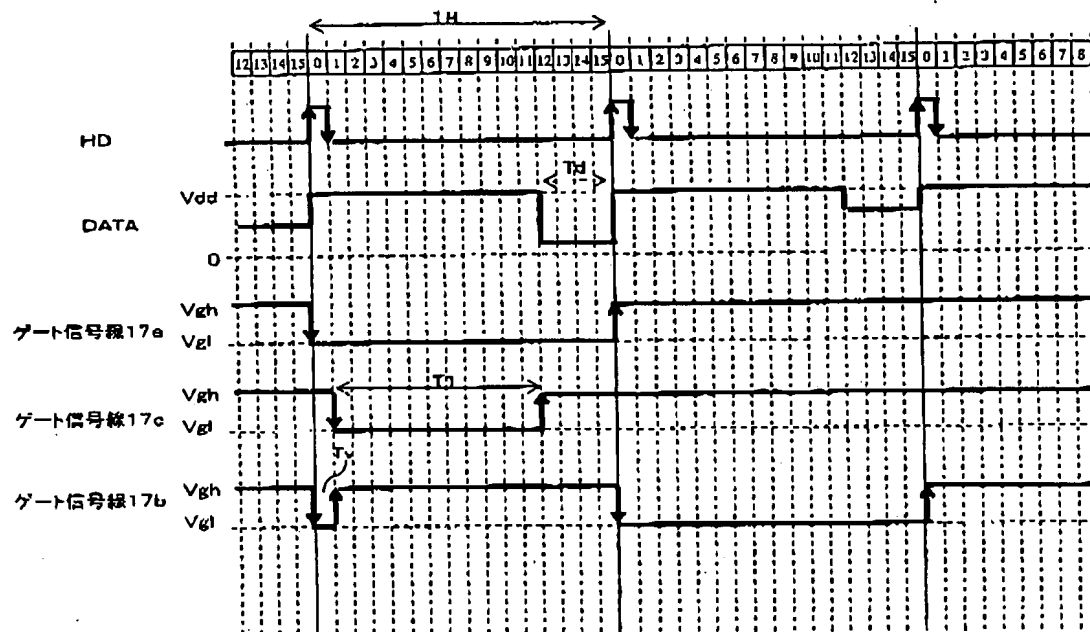
48
/11749
/117

第51圖

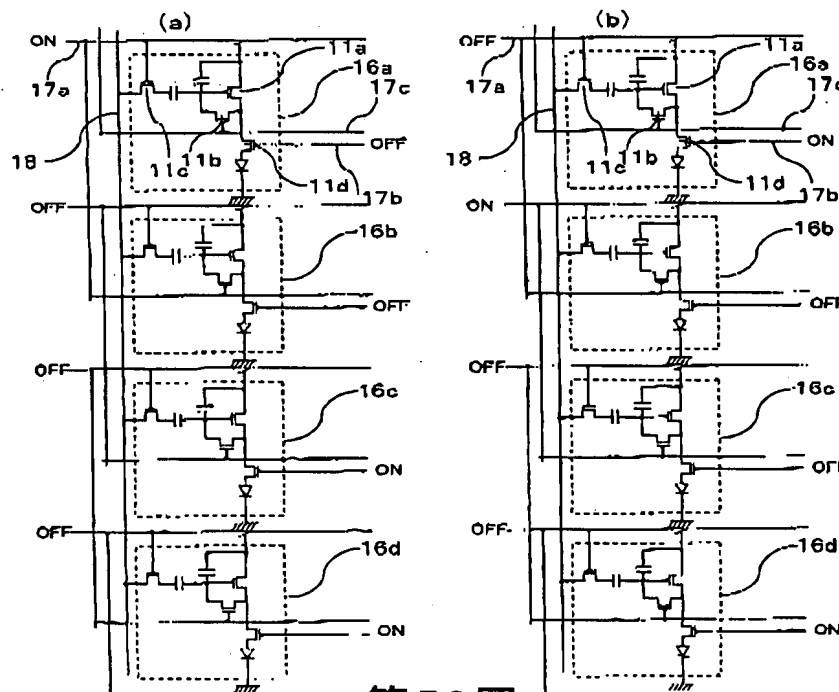


第50圖



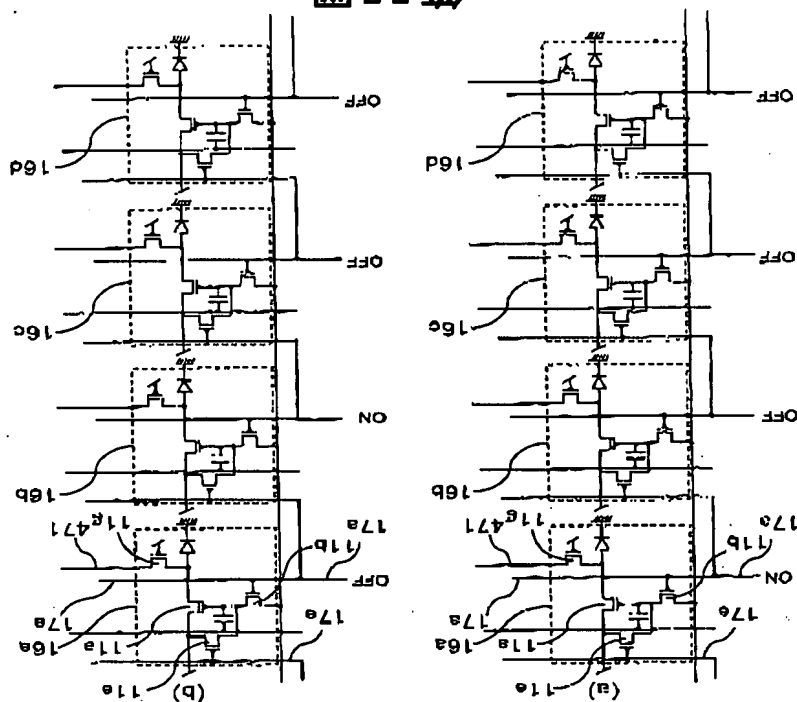


第52図

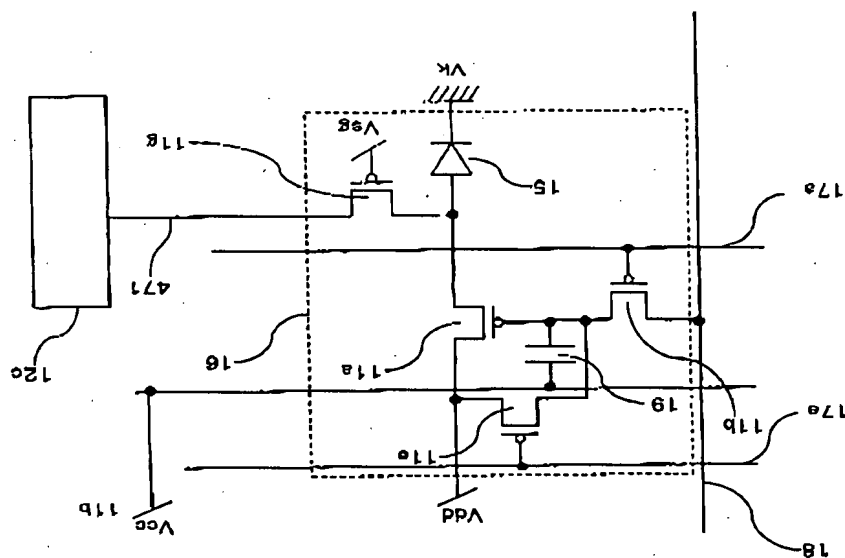


第53図

第55図

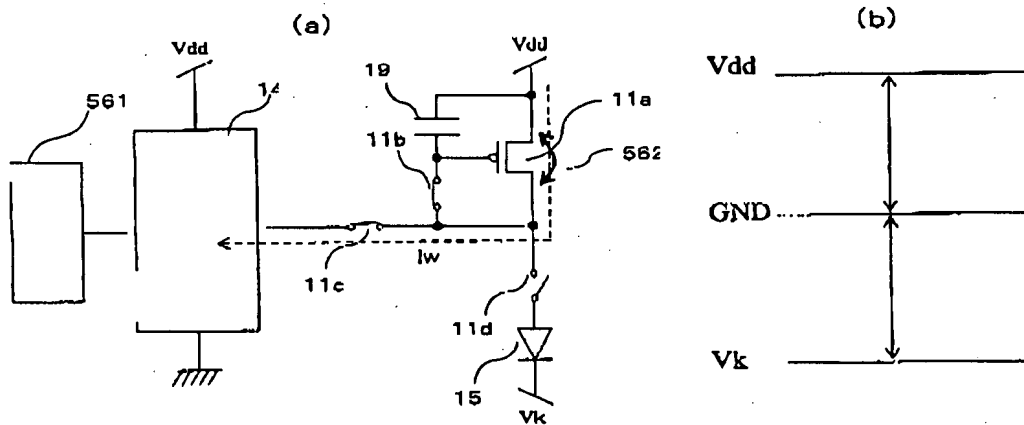


第54図

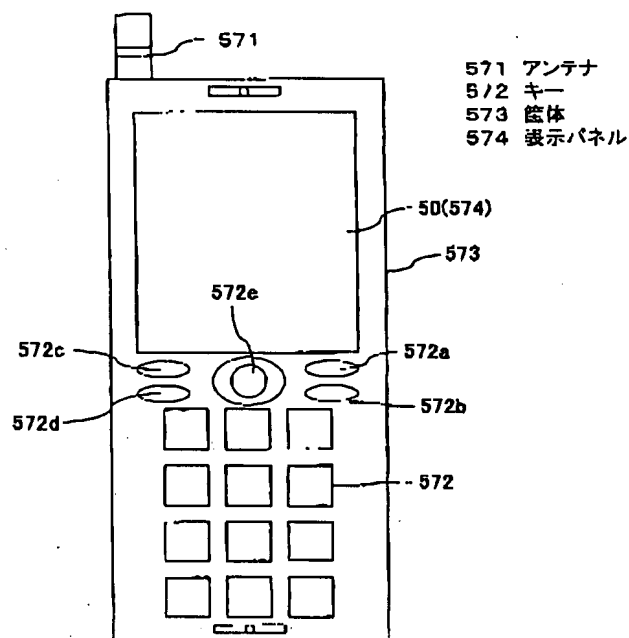


561 電子ポリウム回路

562 TFTのSD(ソースドレイン)ショート

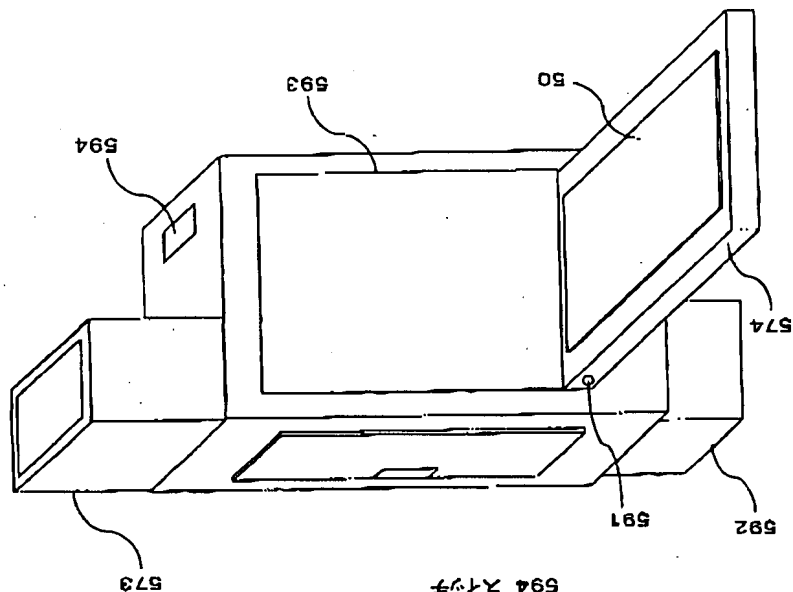


第56図



第57図

第59図



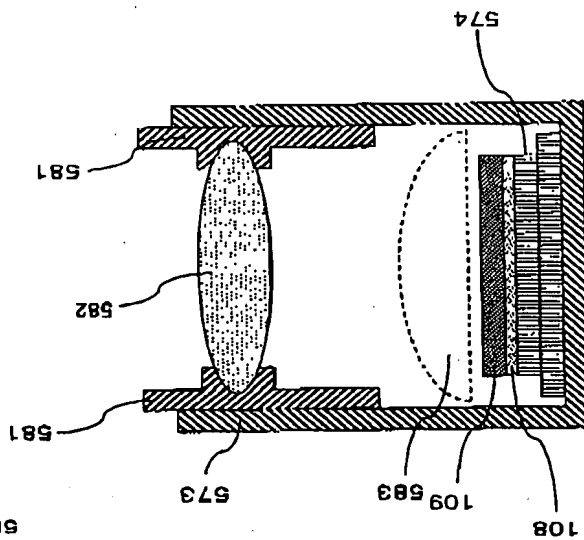
591 支座
592 撮影レンズ
593 格納部
594 スイッチ

59/117

PCT/JPO02/00698

WO 03/02598

第58図



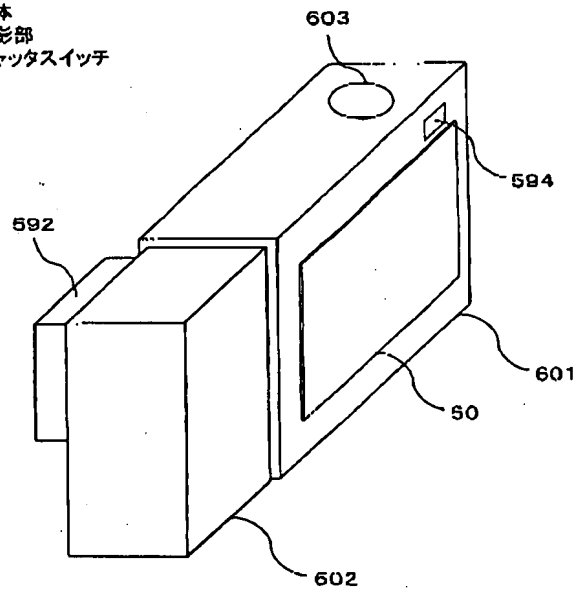
581 接眼レンズ
582 拡大レンズ
583 凸レンズ

58/117

PCT/JPO02/00698

WO 03/02598

601 本体
602 撮影部
603 シャッタースイッチ

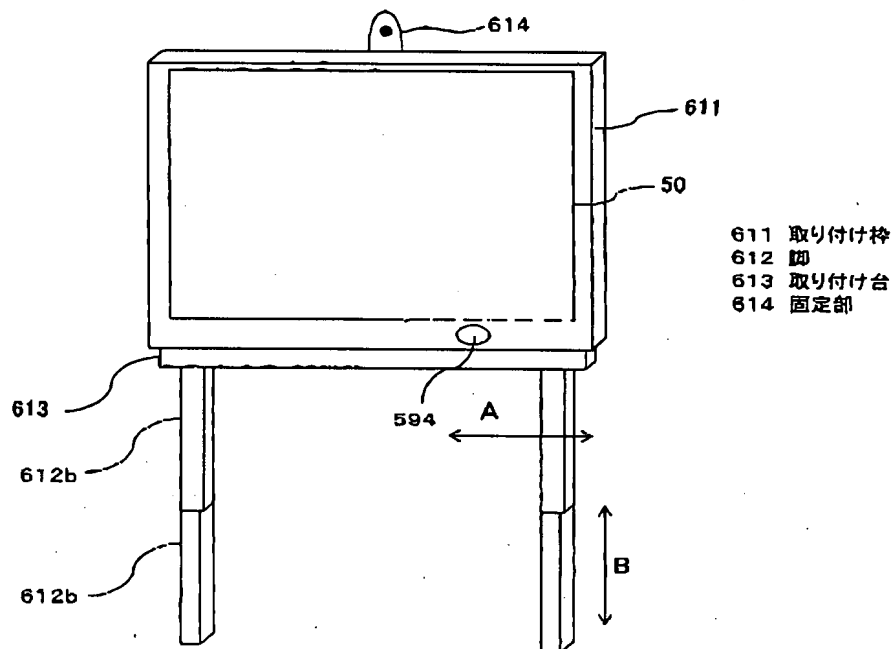


第60図

60
/117

WO 03/027998

PCT/JP02/09668



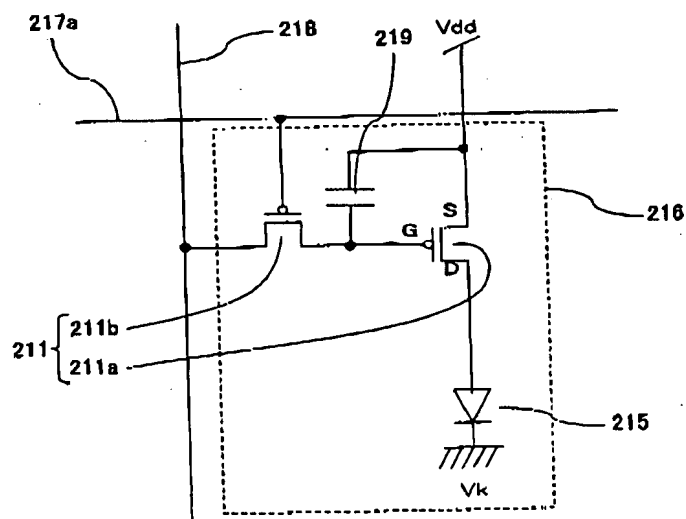
第61図

61
/117

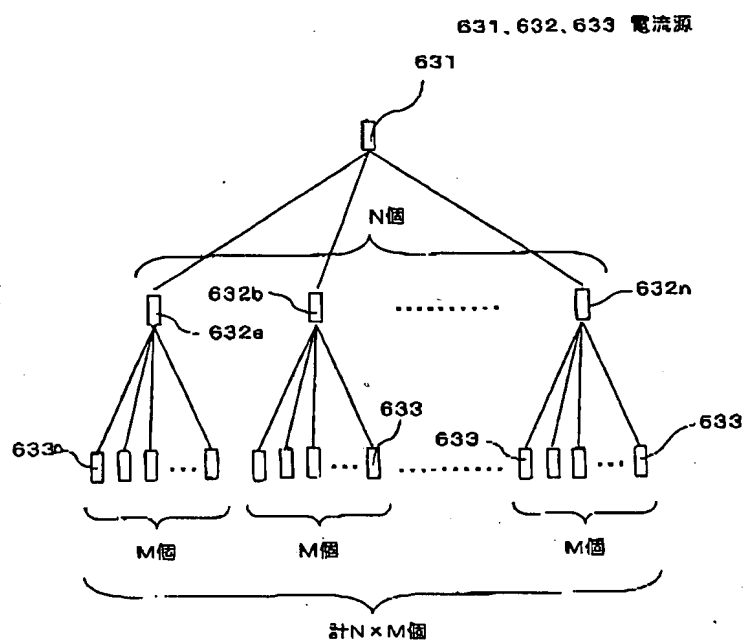
611 取り付け枠
612 脚
613 取り付け台
614 固定部

WO 03/027998

PCT/JP02/09668

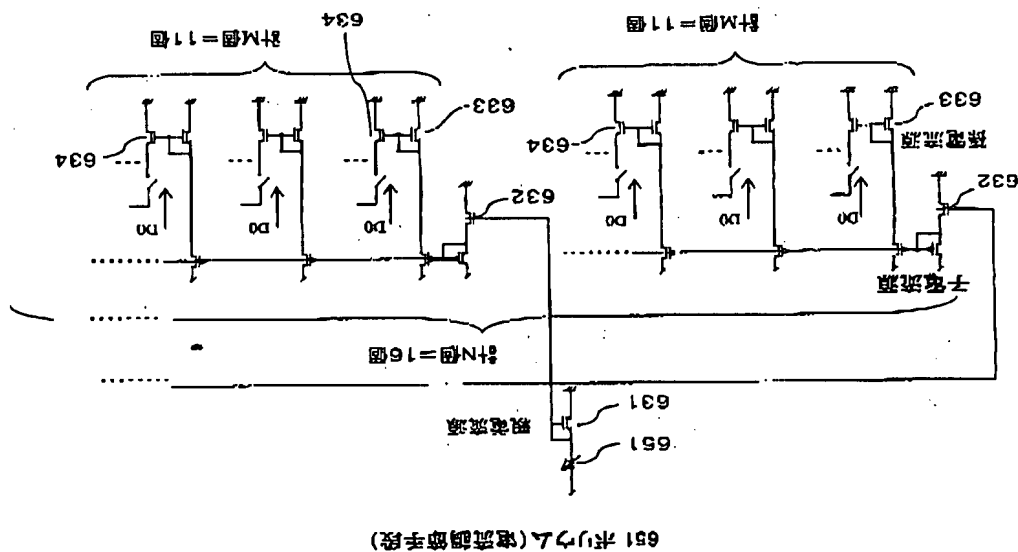


第62図

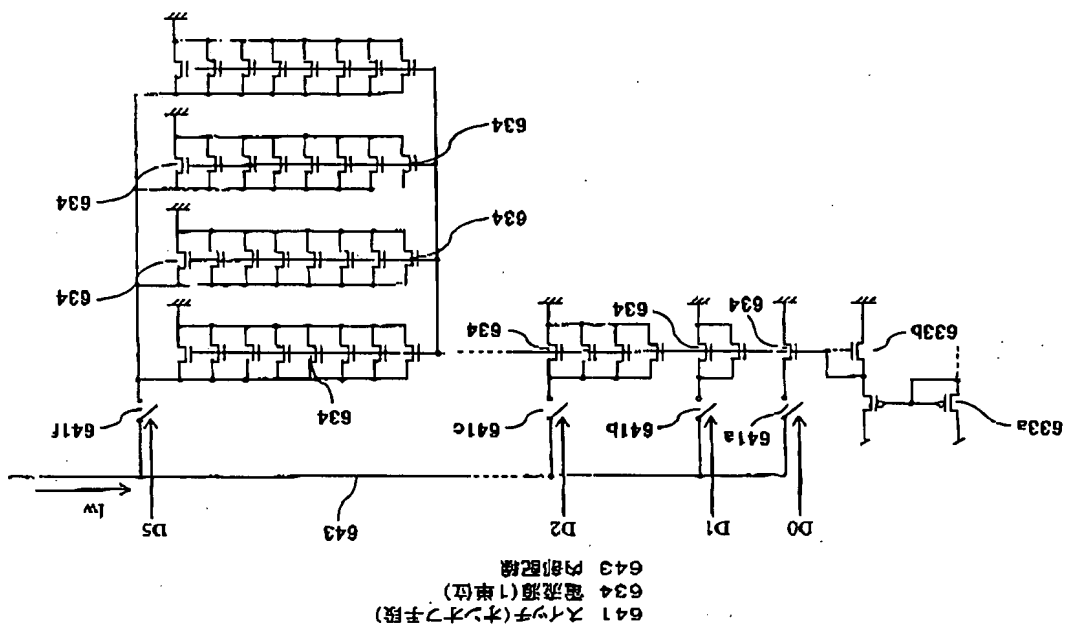


第63図

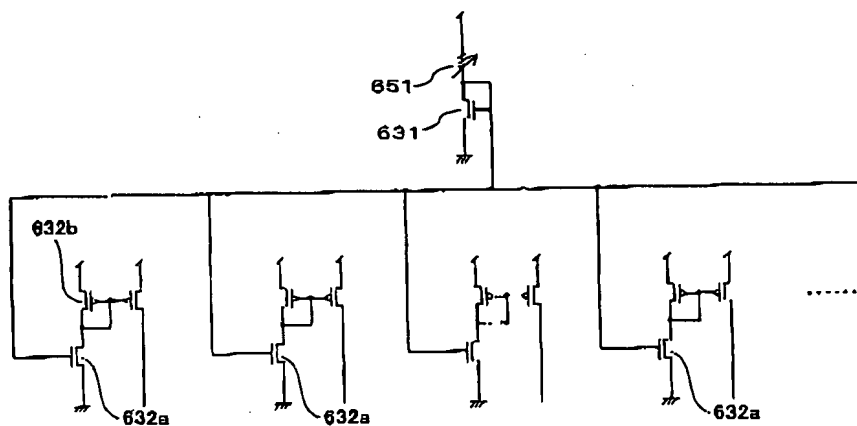
第65図



第64図



W/O 02/07/98

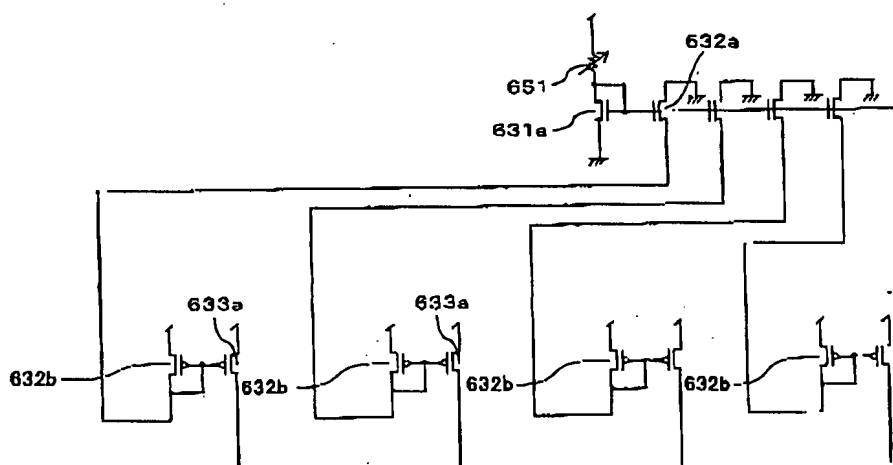


66/117

PCT/JP02/09668

第66図

W/O 02/07/98

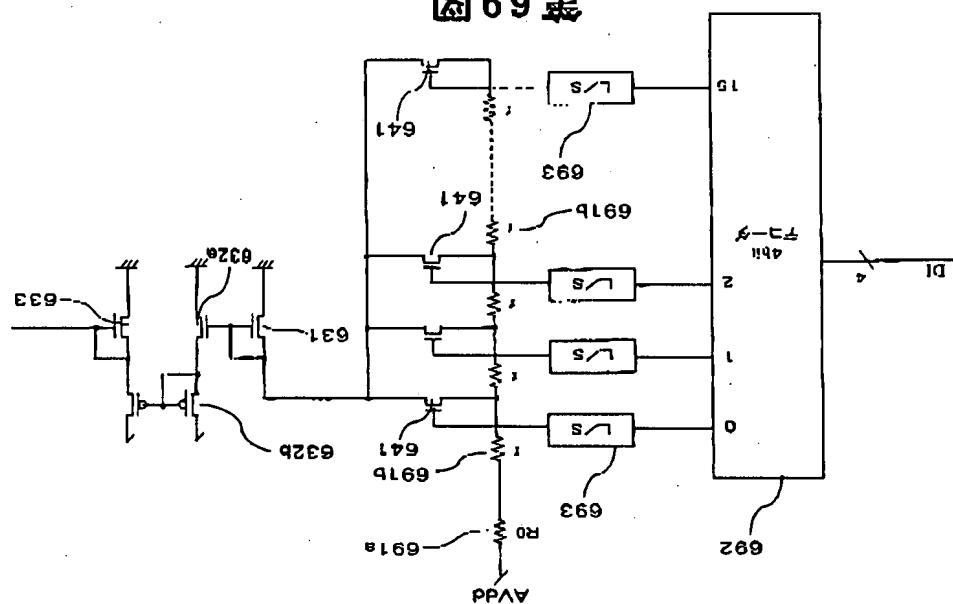


67/117

PCT/JP02/09668

第67図

第69図



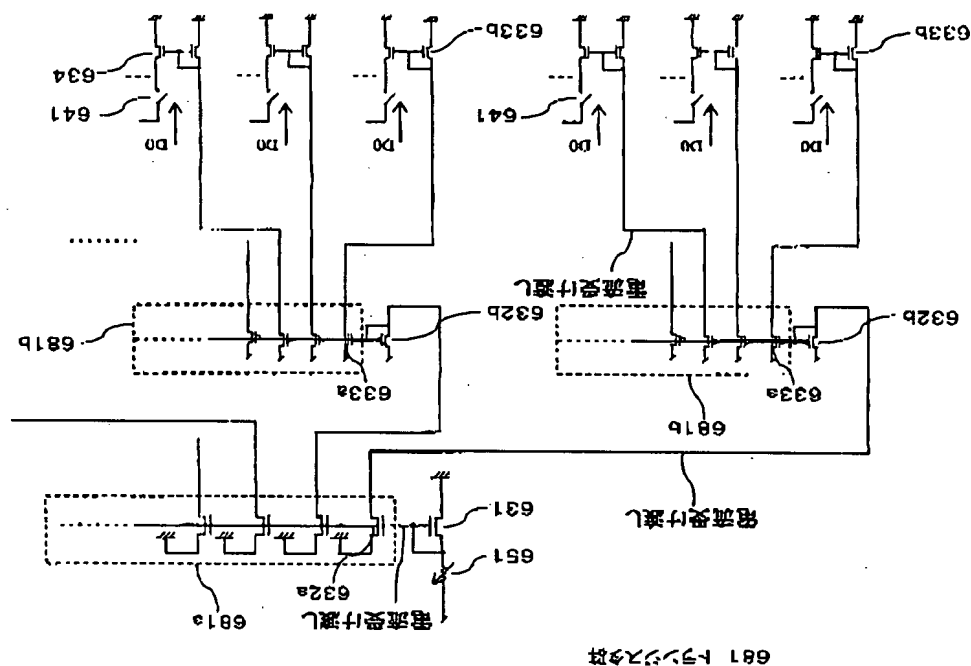
691 抵抗(電流制限手段、所定電圧発生手段)
692 デジタル回路
693 レギュレーション回路

69/117

PCT/JP02/09668

WO 02/027998

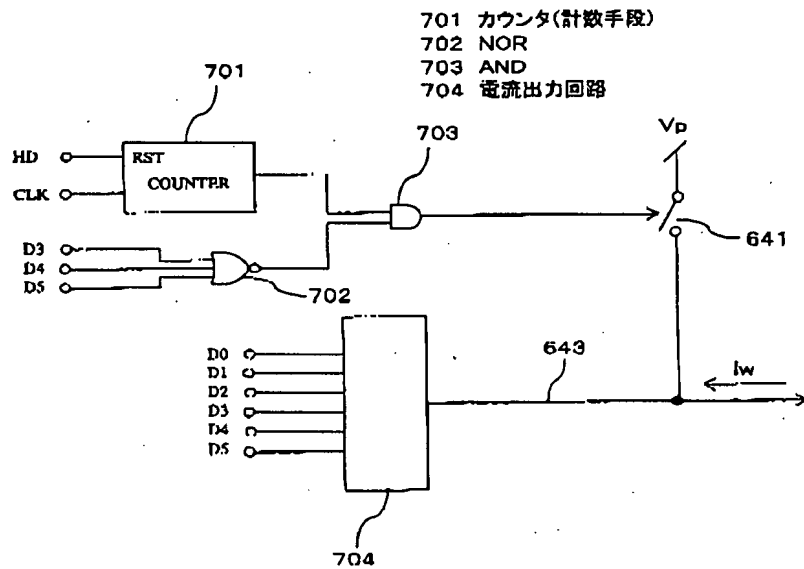
第68図



68/117

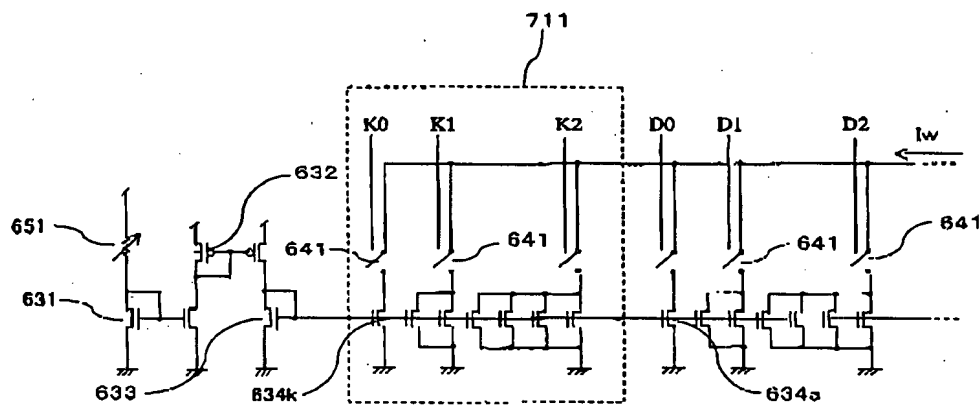
PCT/JP02/09668

WO 02/027998



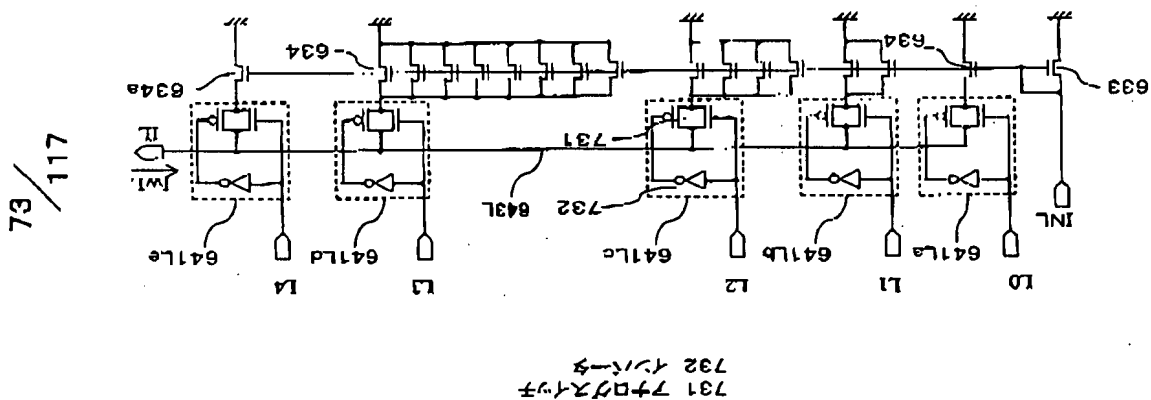
第70図

711 嵩上げ回路



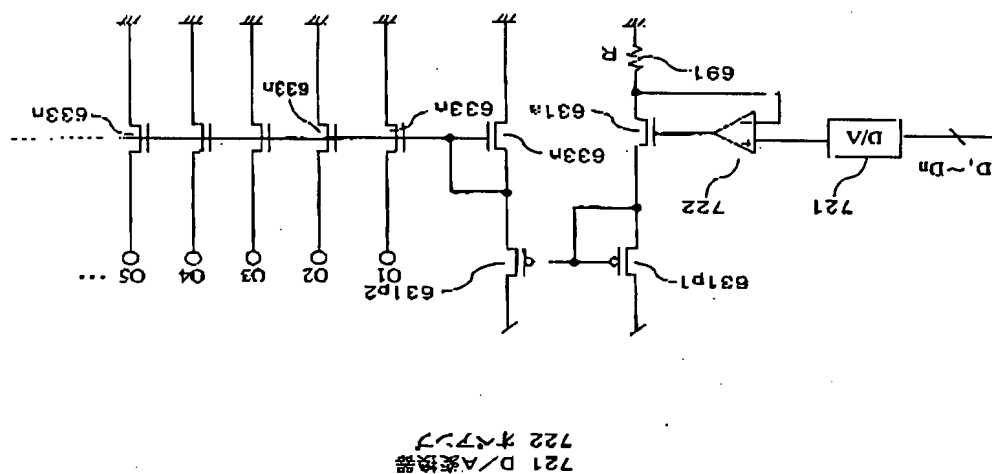
第71図

第73図

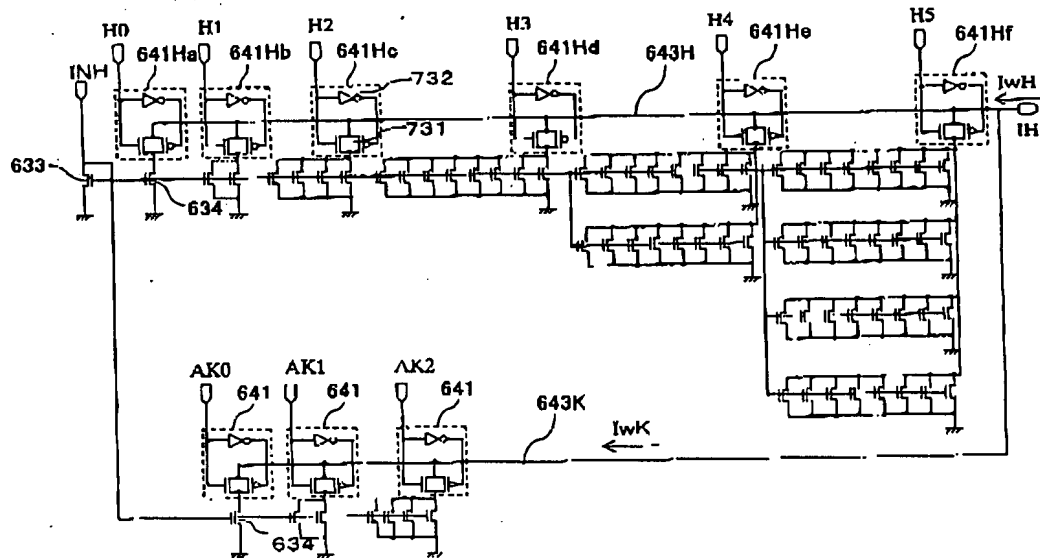


73/117

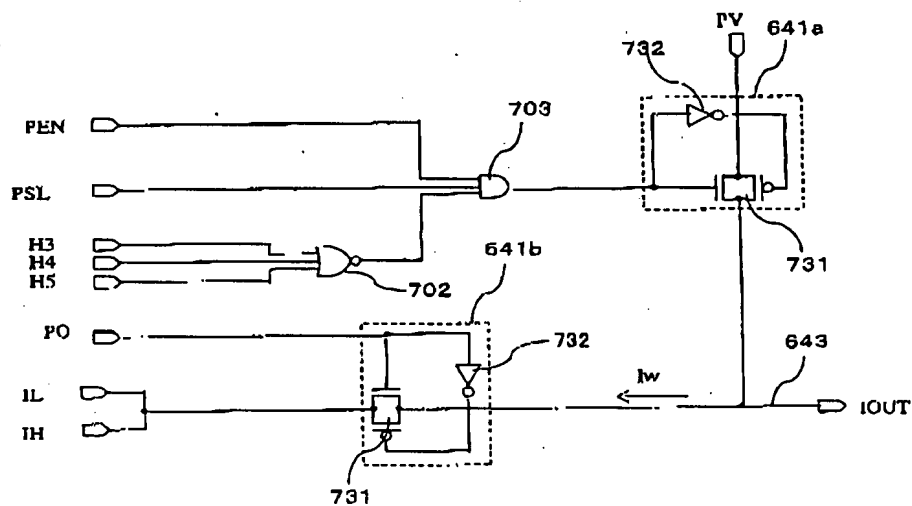
第72図



72/117



第74図



第75図

WO 03/027998

PCT/JPO2006/00668

WO 03/027998

PCT/JPO2006/00668

第77圖

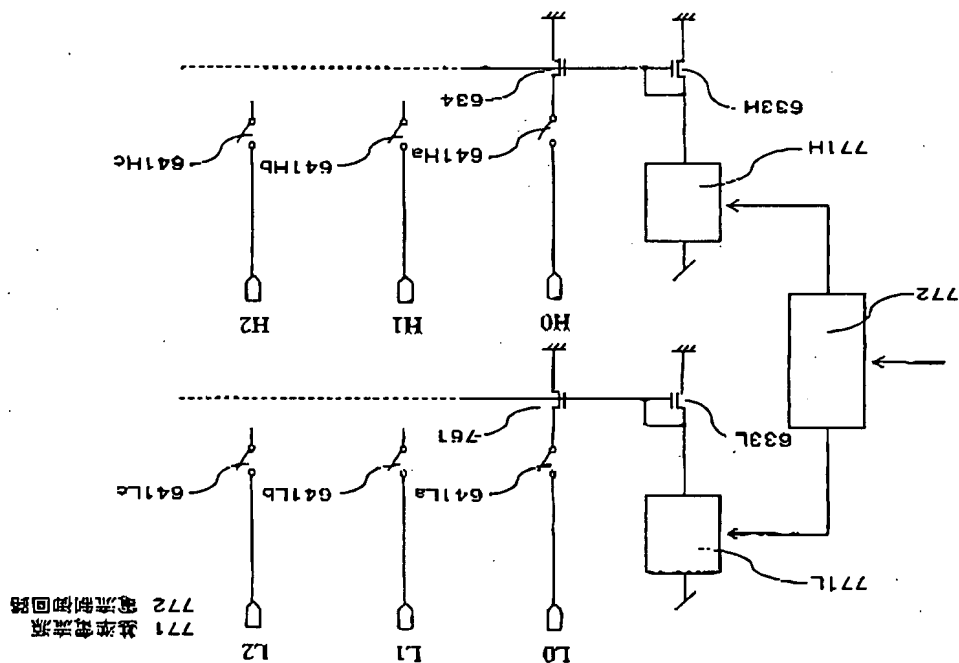
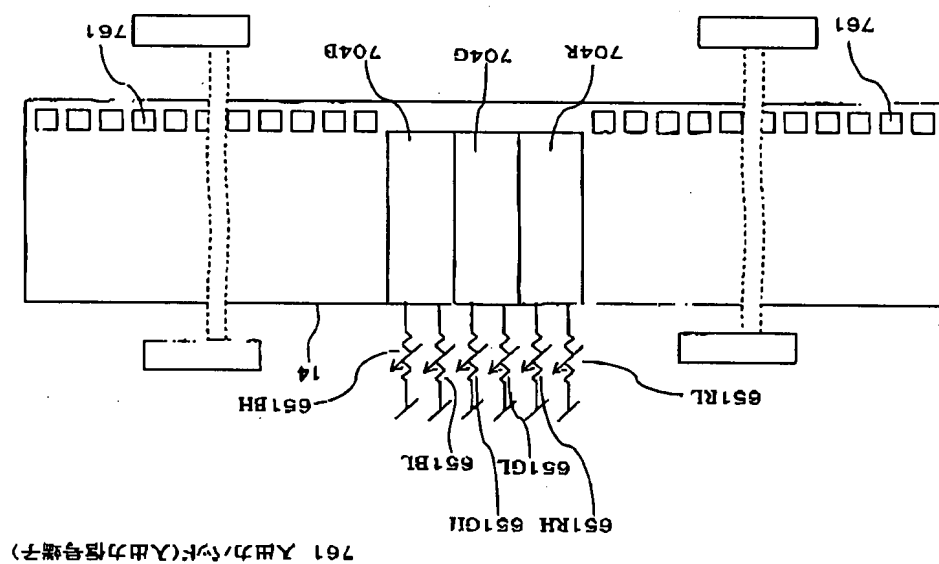
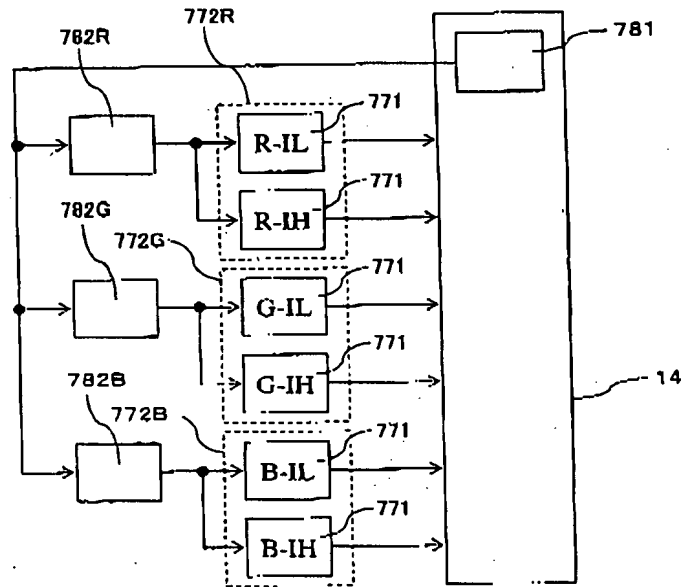


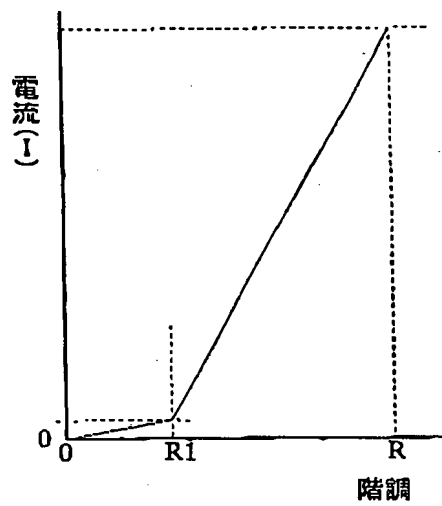
图 9-76



781 温度検出回路
782 温度制御回路



第78図



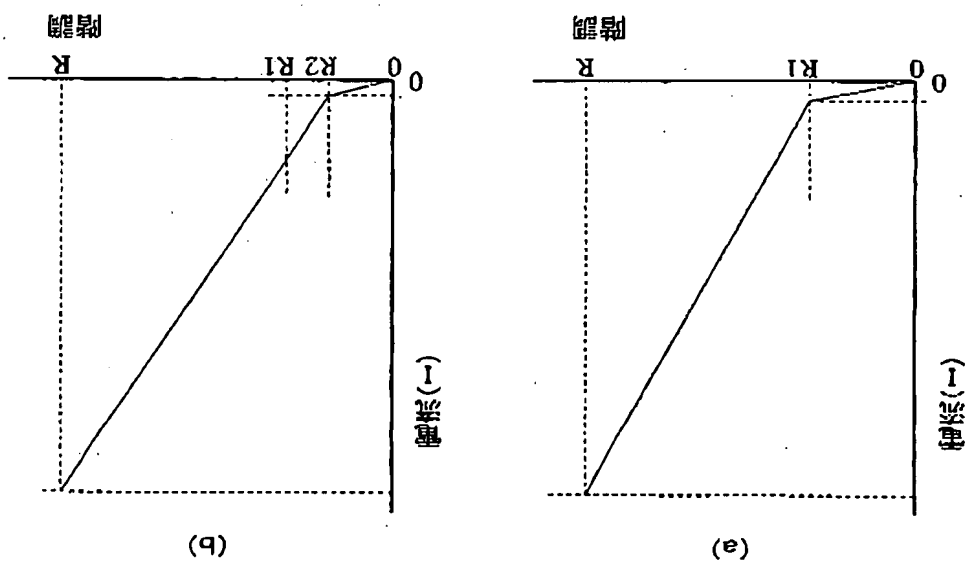
第79図

第81圖

PCT/JP0209648

81/117

WO 03/021998

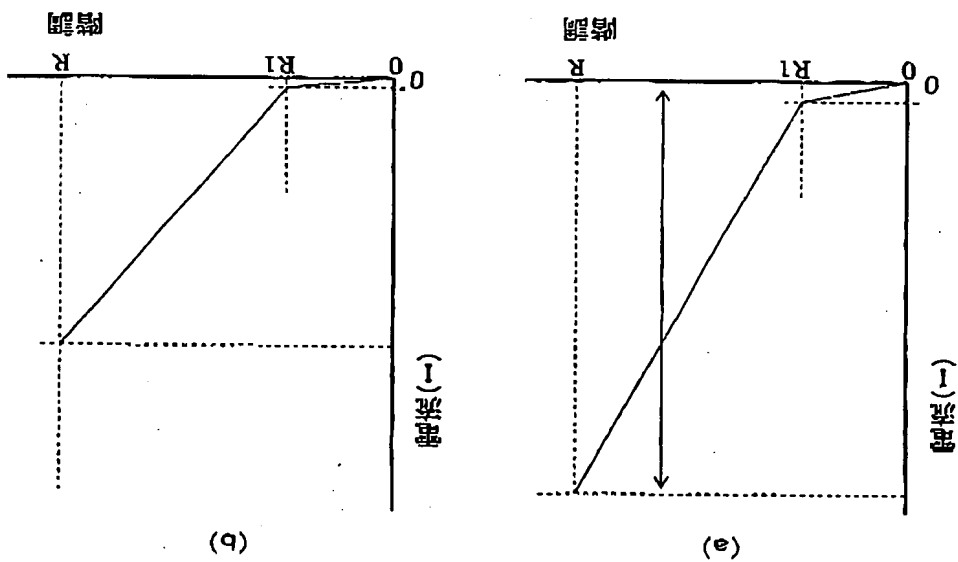


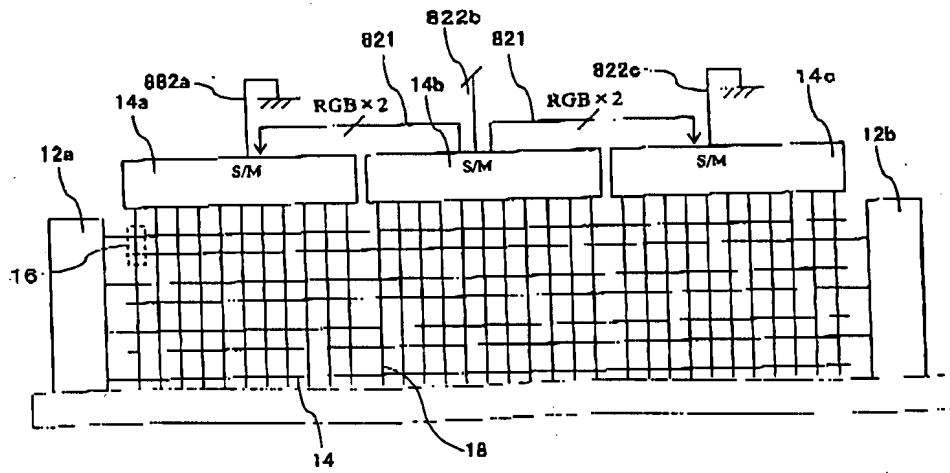
第80圖

PCT/JP0209668

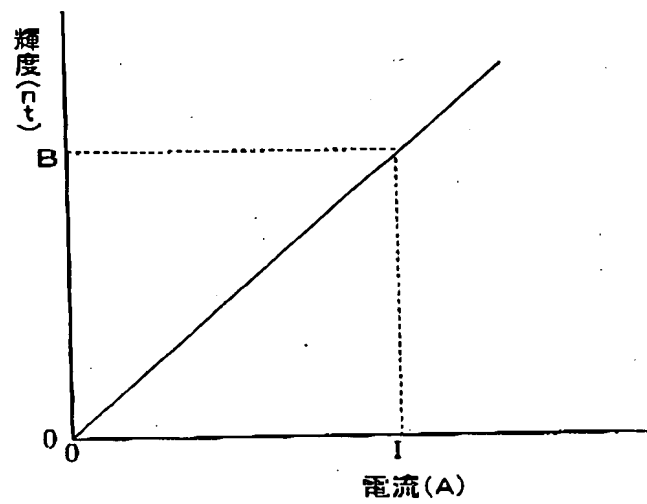
80/117

WO 03/021998





第82図



第83図

WO 03/077998

82/
117

PCT/JP02/09668

WO 03/077998

83/
117

PCT/JP02/09668

第85図

図85	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	1	0	0	0	0	0	0	0
8	1	1	1	1	0	1	0	0	0	0	0
9	1	1	1	1	0	1	1	0	0	0	0
10	1	1	1	1	0	1	1	1	0	0	0
11	1	1	1	1	0	1	1	1	1	0	0
12	1	1	1	1	0	1	1	1	1	1	0
13	1	1	1	1	0	1	1	1	1	1	1
14	1	1	1	1	0	1	1	1	1	1	1
15	1	1	1	1	0	1	1	1	1	1	1
16	1	1	1	1	0	1	1	1	1	1	1
17	1	1	1	1	0	1	1	1	1	1	1
18	1	1	1	1	0	1	1	1	1	1	1
...

85 / 117

PCT/JPO200668

WO 03/07598

第84図

図84	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0	0	0	0
4	1	1	1	0	0	0	0	0	0	0	0
5	1	1	1	0	0	0	0	0	0	0	0
6	1	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	0	0	0	0	0	0	0
9	1	1	1	0	0	0	0	0	0	0	0
10	1	1	1	0	0	0	0	0	0	0	0
11	1	1	1	0	0	0	0	0	0	0	0
12	1	1	1	0	0	0	0	0	0	0	0
13	1	1	1	0	0	0	0	0	0	0	0
14	1	1	1	0	0	0	0	0	0	0	0
15	1	1	1	0	0	0	0	0	0	0	0
16	1	1	1	0	0	0	0	0	0	0	0
17	1	1	1	0	0	0	0	0	0	0	0
18	1	1	1	0	0	0	0	0	0	0	0
...

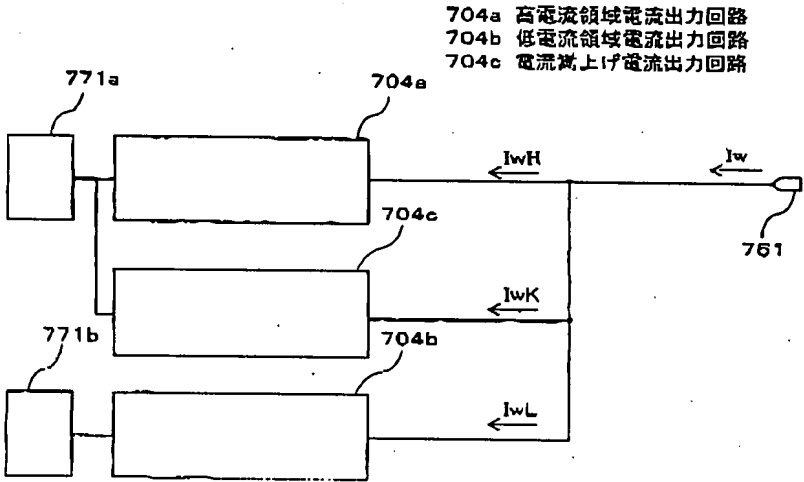
84 / 117

PCT/JPO200668

WO 03/07598

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
...

第86図



第87図

第 68 圖

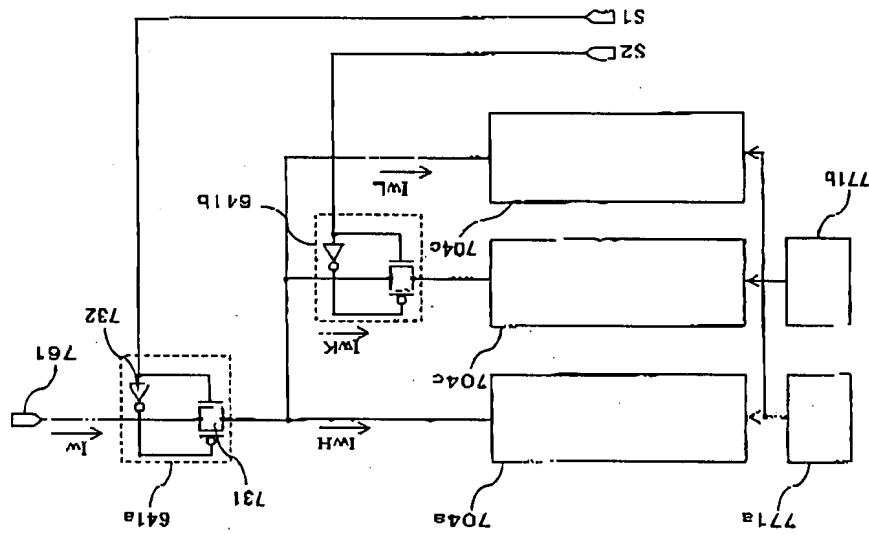
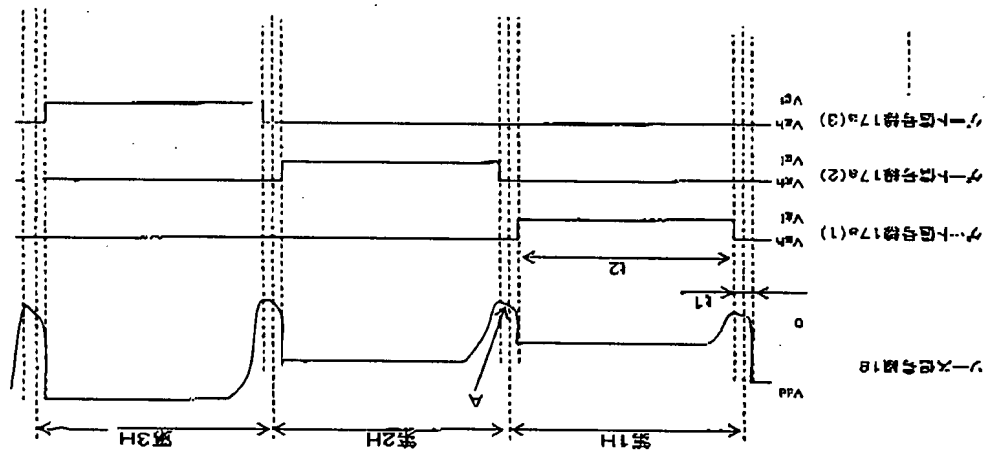
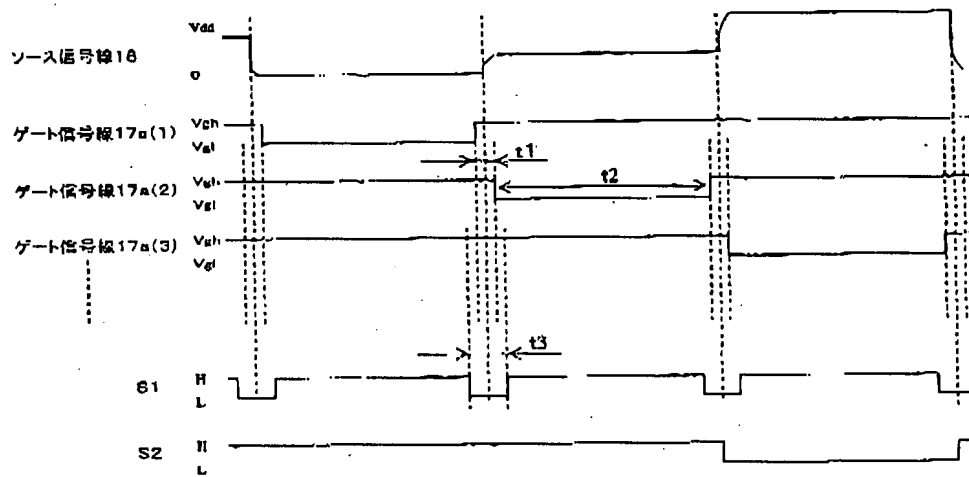
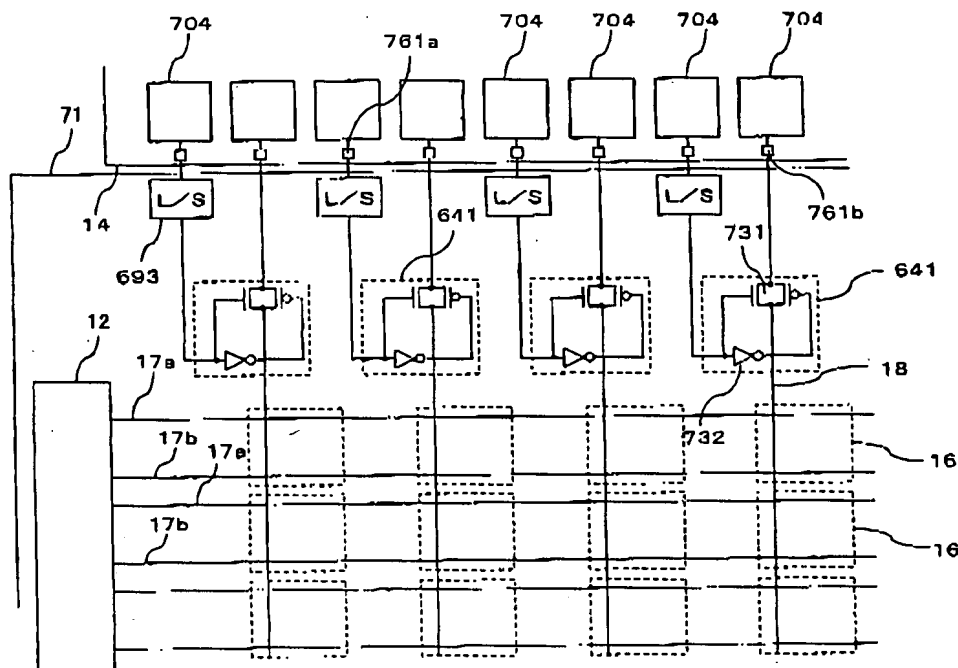


圖 88 蚩





第90図

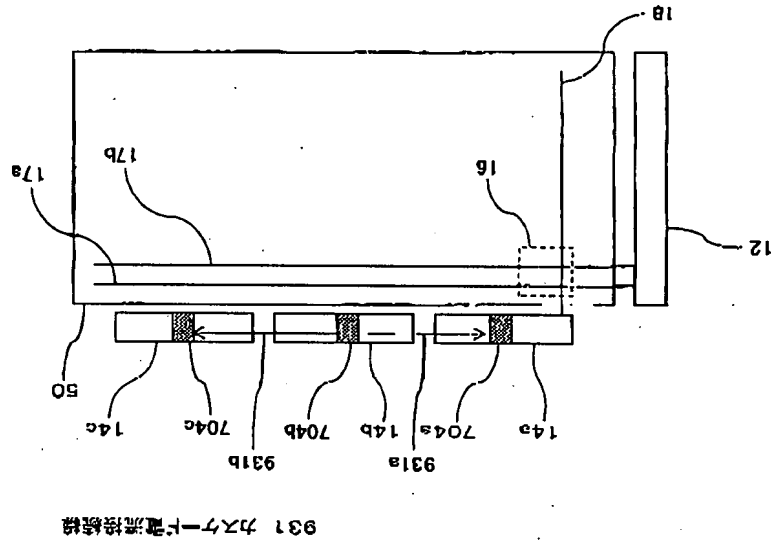


第91図

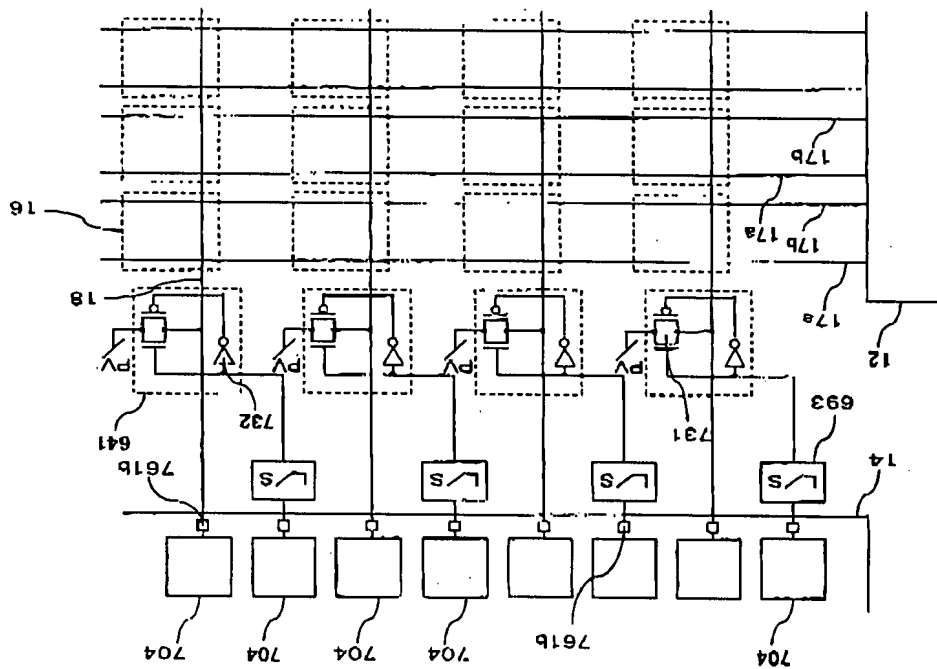
90/117

91/117

第93図



第92図

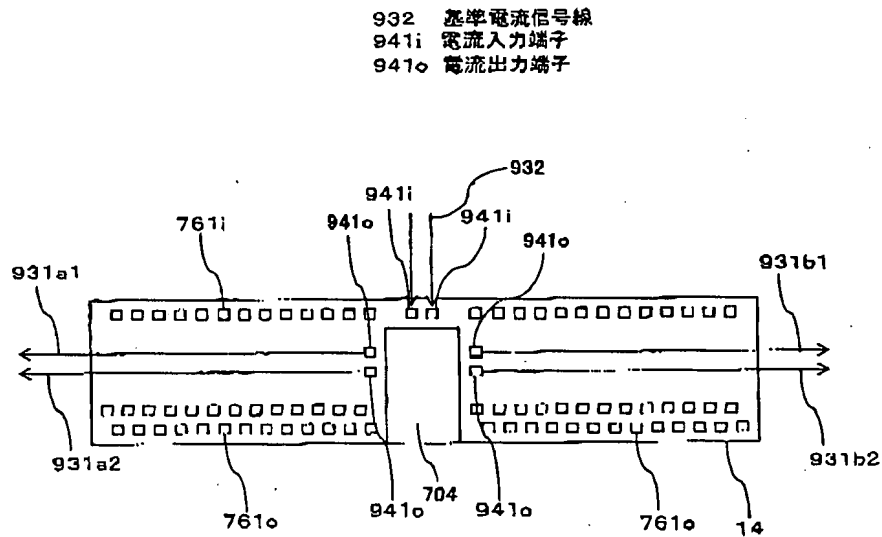


WO 02/027998

PCT/JPO2006/00668

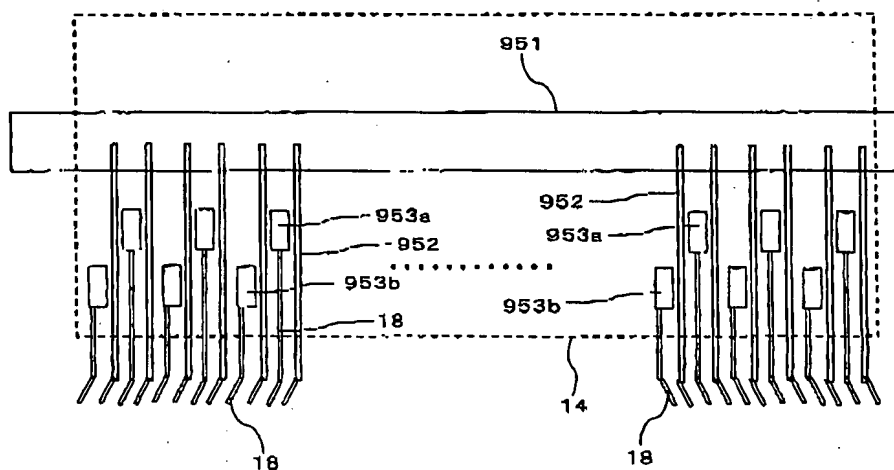
WO 02/027998

PCT/JPO2006/00668

94
/117

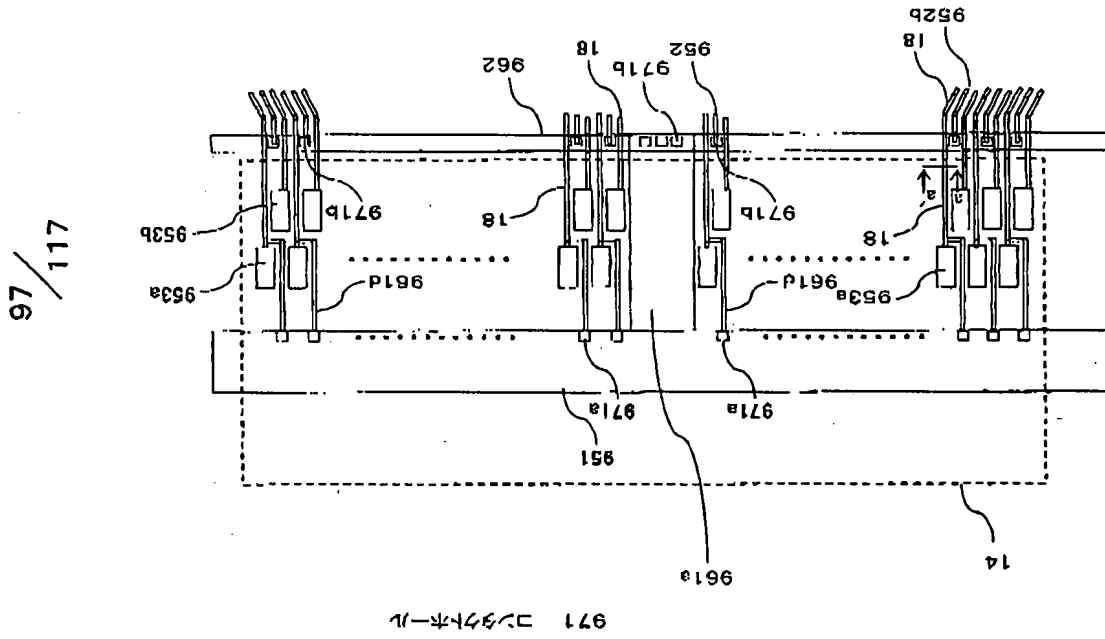
第94図

951 ベースアノード線(アノード電圧線、基幹アノード線)
952 アノード配線
953 接続端子

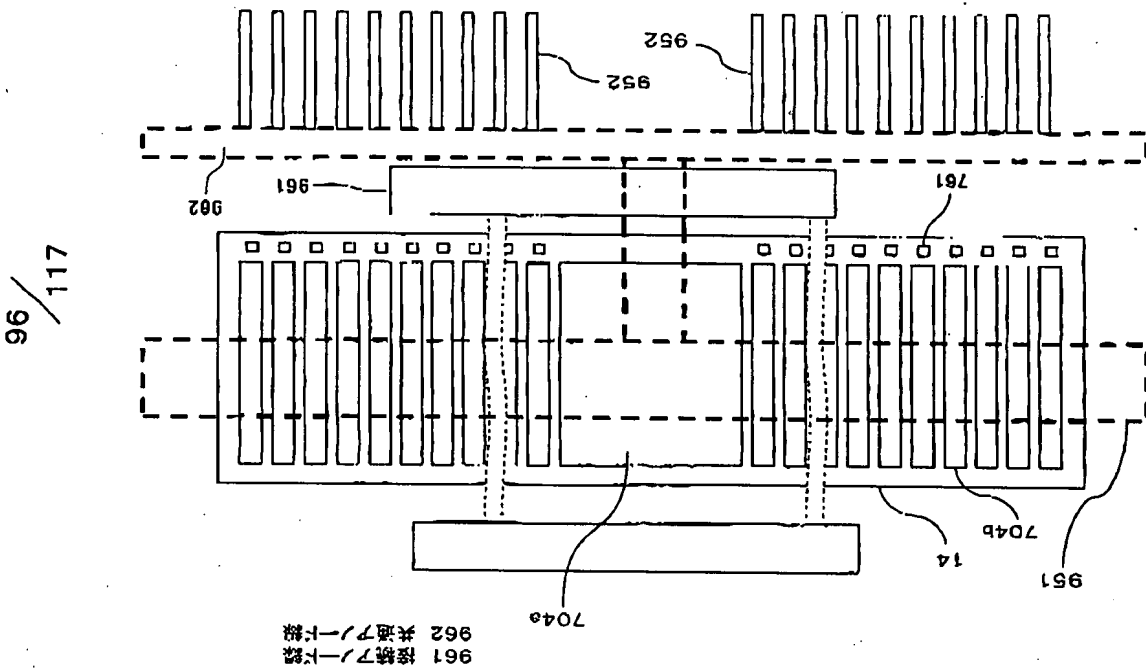
95
/117

第95図

第97図



第96図

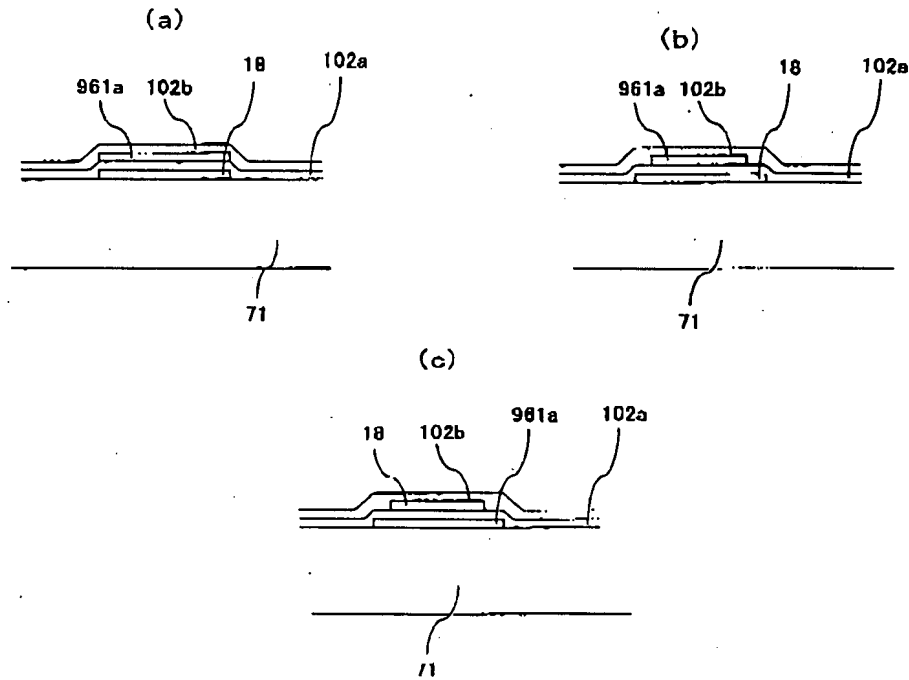


PCT/JP02/9668

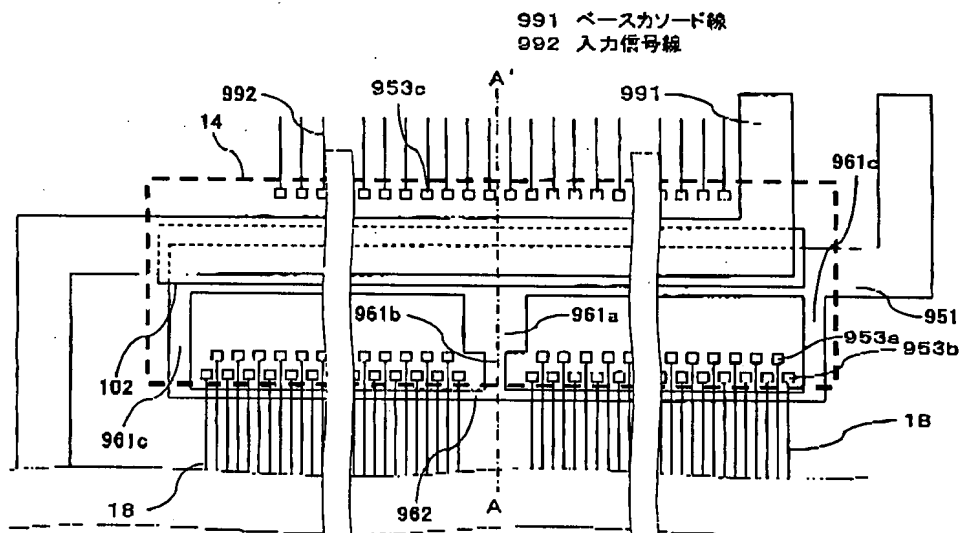
WO 03/027998

PCT/JP02/9668

WO 03/027998



第98図



第99図

WO 03/027998

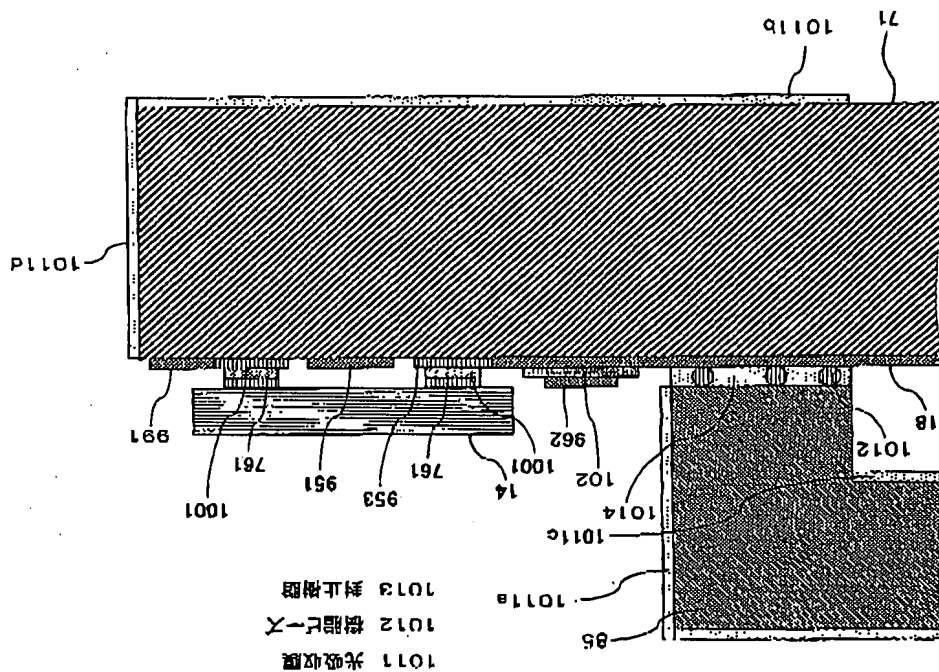
PCT/JP02/09668

WO 03/027998

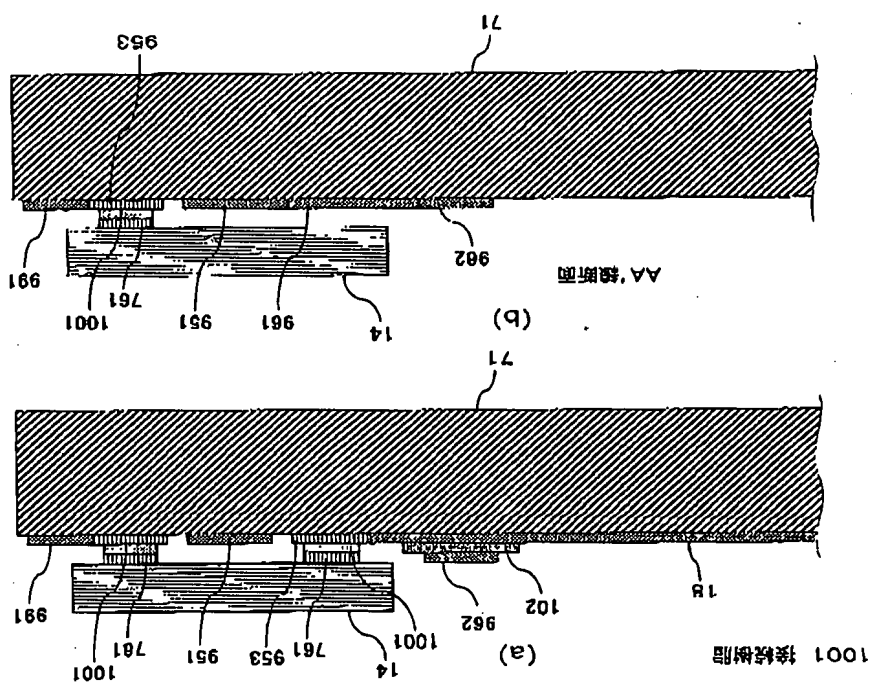
PCT/JP02/09668

98
/11799
/117

第101圖



第100圖



101/117

100/117

PCT/JPO2009668

WFO 021027998

PCT:JP02/09668

440 434027998

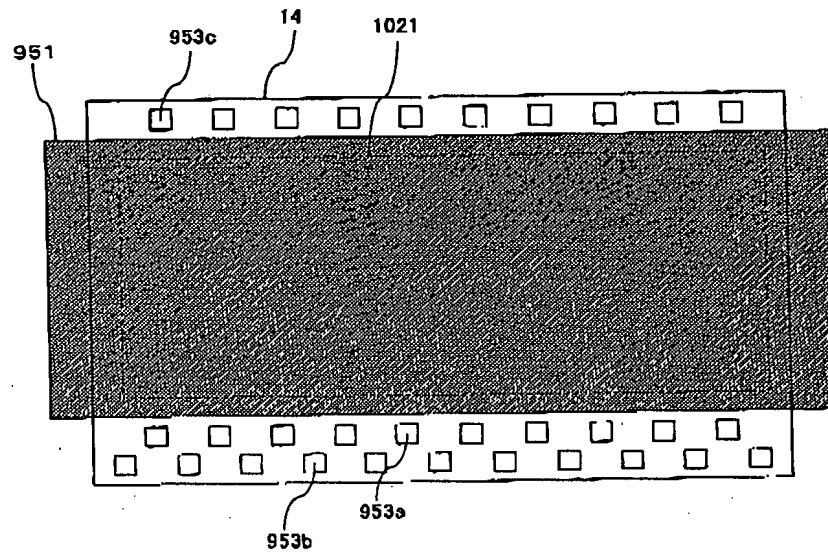
WO 03/027998

PCT:JP02/09668

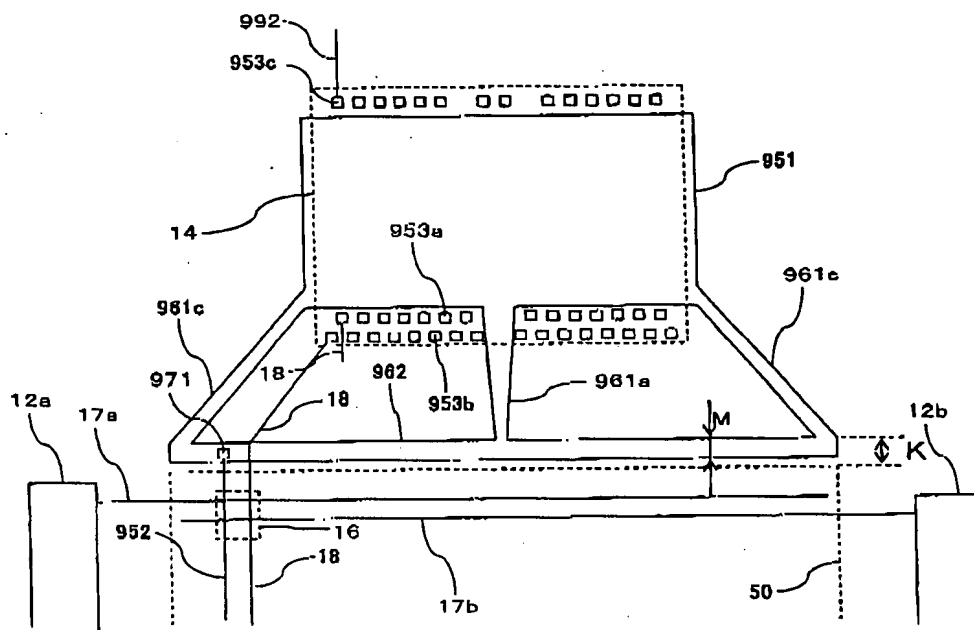
NYO 03:027998

PC1:JP020966B

1021 回路形成部

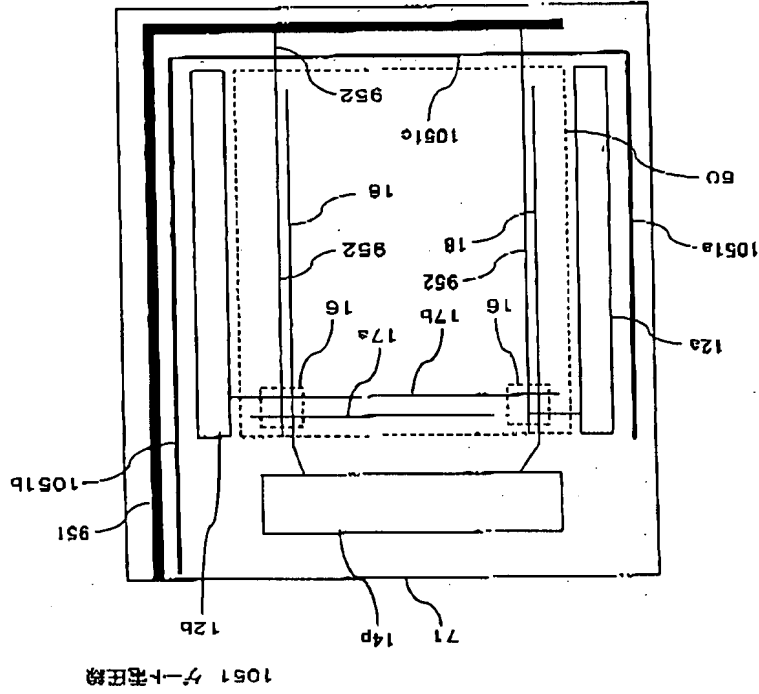


第102圖

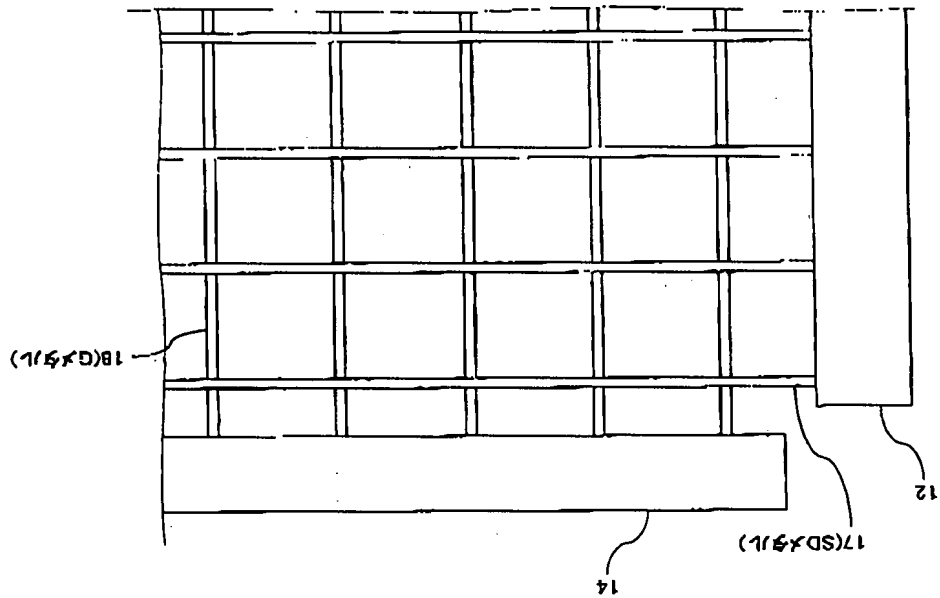


第103図

第105図



第104図



PCT/JP02/09668

WO 03/027998

105 / 117

PCT/JP02/09668

WO 03/027998

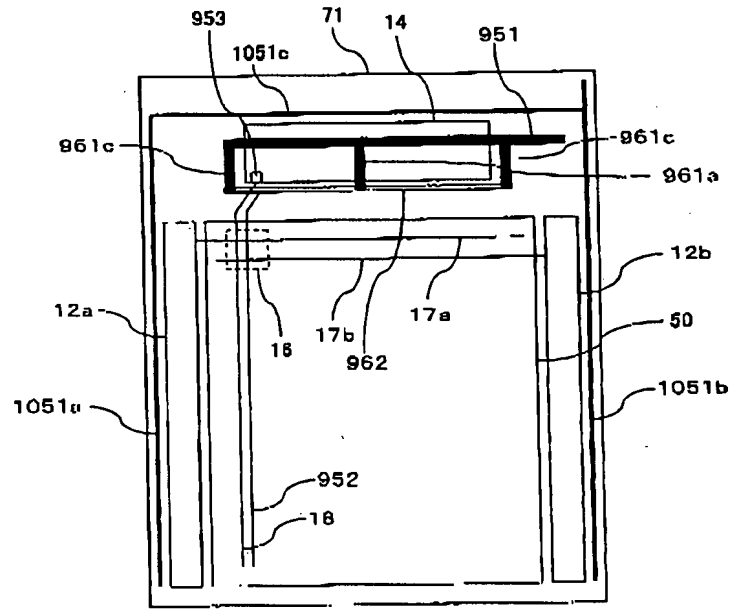
104 / 117

WO 03/027598

PCT/JP02/09668

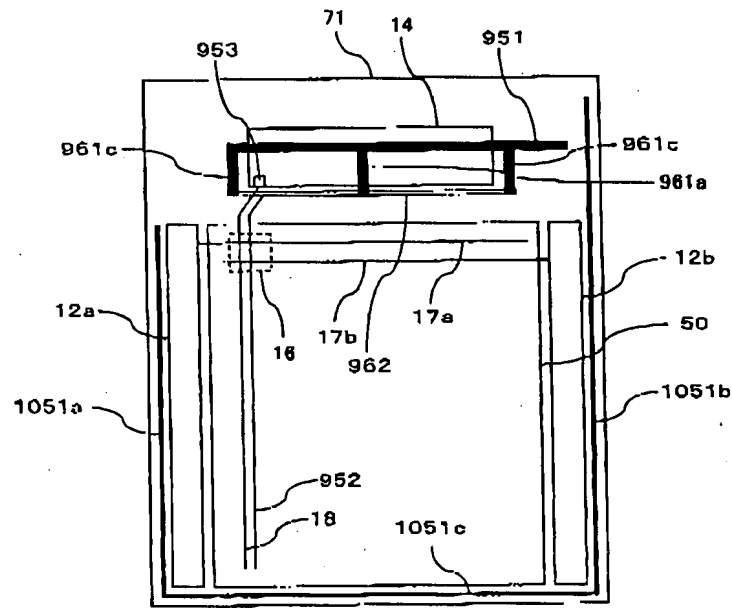
WO 03/027598

PCT/JP02/09668



106
/117

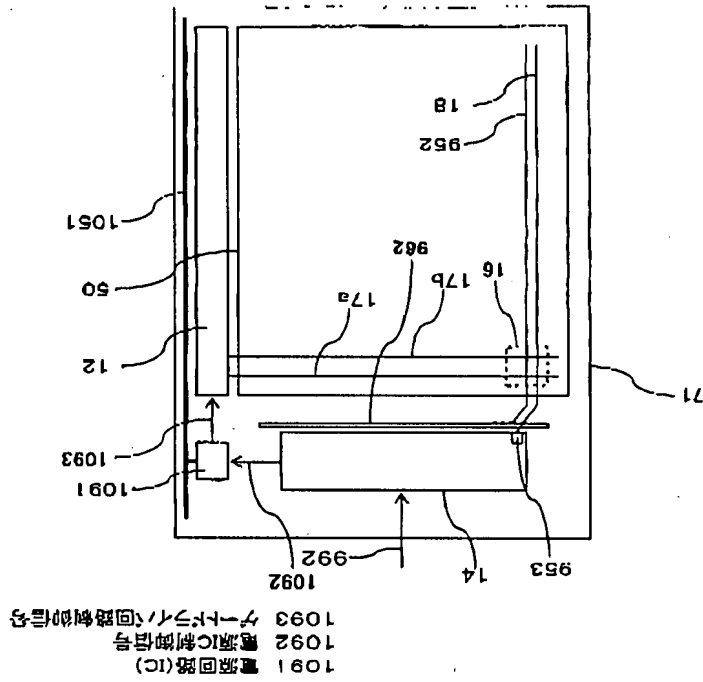
第106図



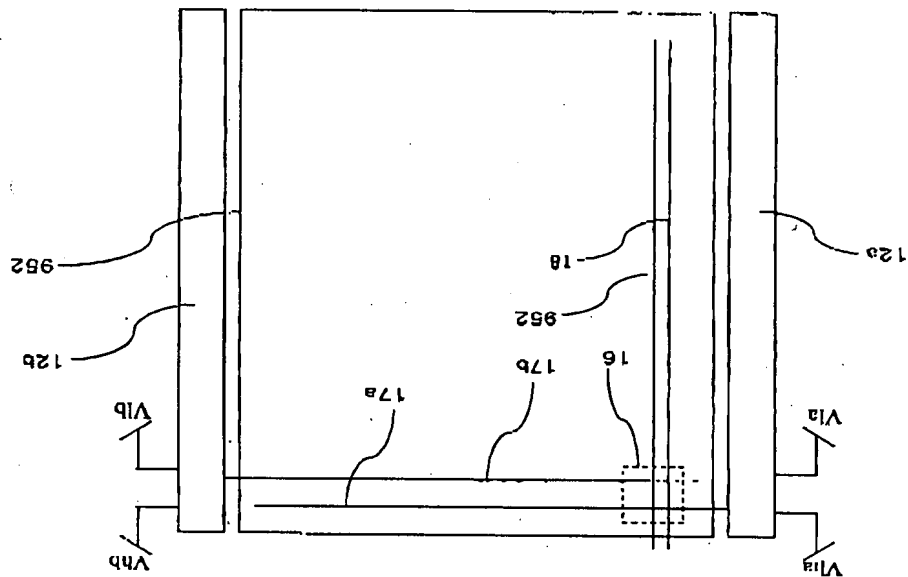
107
/117

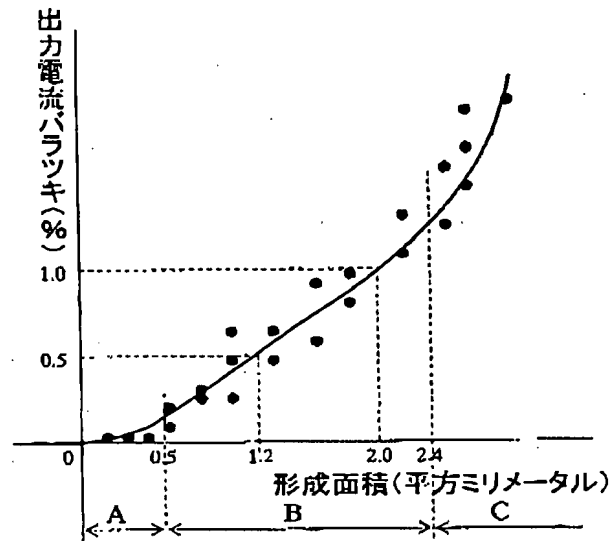
第107図

第109図



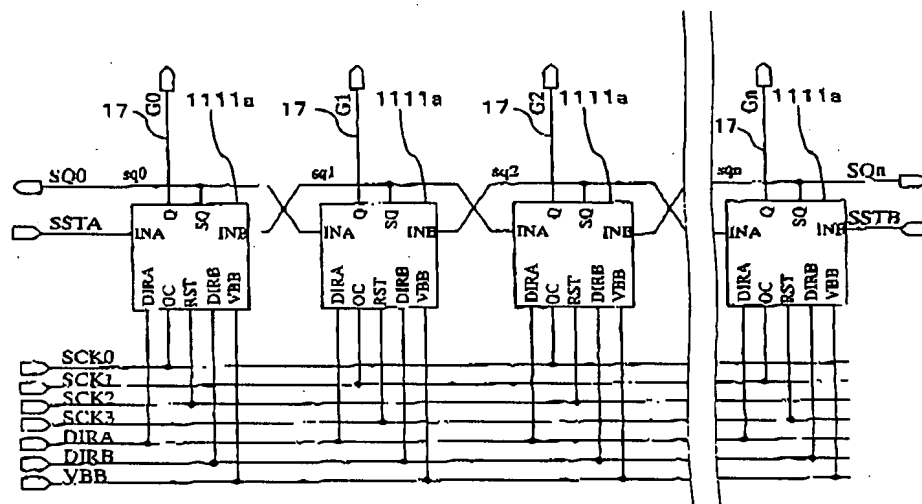
第108図





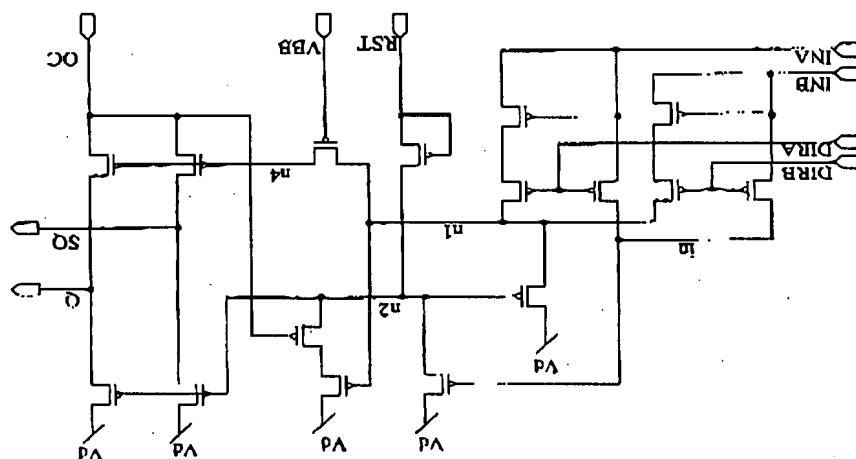
第110図

1111 単位ゲート出力回路

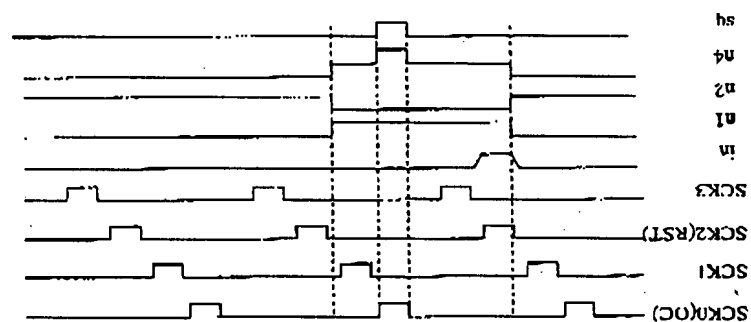


第111図

第13回 図



第112図

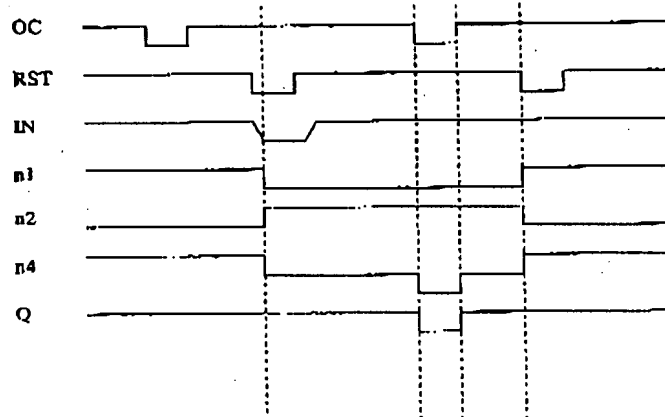


WO 03/023998

PCT/JPO2006/00665

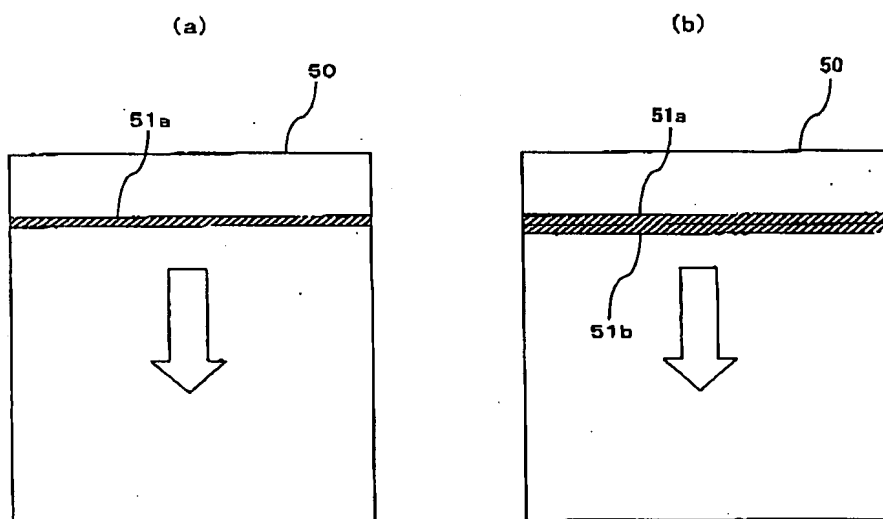
WO 03/023998

PCT/JPO2006/00668



114 / 117

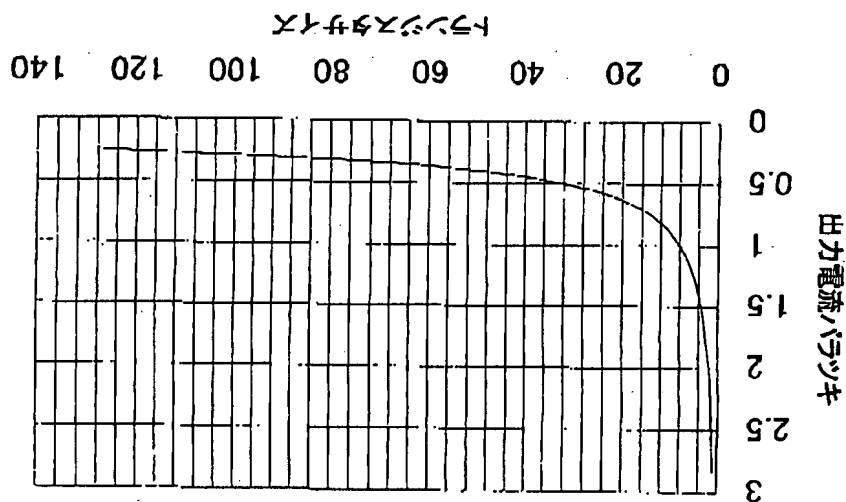
第114図



115 / 117

第115図

第117図

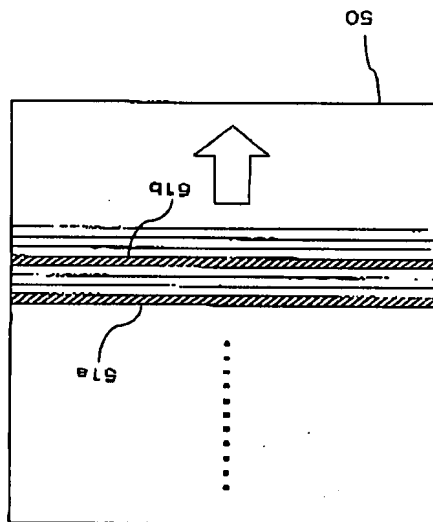


117/117

PCT/JP02/06668

WO 03/027998

第116図



116/117

PCT/JP02/06668

WO 03/027998

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/09668

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/30, 3/20, H03M1/74

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G09G3/30, 3/20, H03M1/74Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shiman Koho 1992-1996 Toroku Jitsuyo Shiman Koho 1994-2002
Jitsuyo Shiman Koho 1971-2002 Jitsuyo Shiman Koho 1996-2002
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6091203 A (NEC CORP.), 18 July, 2000 (18.07.00), Full text; all drawings 6 JP 11-282419 A	1-4, 9-12, 14-16 5-8
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Full text; all drawings 6 JP 2002-517806 A	1-4, 9-12, 14-16
Y	JP 8-340243 A (Cancn Inc.), 24 December, 1996 (24.12.96), Column 2, line 16 to column 4, line 19 (family: none)	1-4, 9-12, 14-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family summary

* Special features of cited documents	* The document published after the international filing date or priority date and not in itself, with the application, but cited to establish the principle or theory underlying the invention
* Earlier document not published on or after the international filing date	* Document of particular relevance; the claimed invention cannot be considered novel or non-obvious in view of the document
* Document which may show doubt on priority claim(s) or which is cited to establish the publication date of a cited reference or other special reason (as specified)	* Document of particular relevance; the claimed invention cannot be considered novel or non-obvious in view of the document
* Document referred to in oral disclosure, use, exhibition or other means	* Document of particular relevance; the claimed invention cannot be considered novel or non-obvious in view of the document
* Document published prior to the international filing date but cited from the priority date claimed	* Document of particular relevance; the claimed invention cannot be considered novel or non-obvious in view of the document

Date of the actual completion of the international search
19 November, 2002 (19.11.02)Date of mailing of the international search report
03 December, 2002 (03.12.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/09668

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-42619 A (Fujitsu Ltd.), 13 February, 1992 (13.02.92), Page 2, upper right column, line 10 to page 4, upper right column, line 17; Figs. 1, 2, 4 to 6 (family: none)	1-4, 9-12, 14-16
Y	JP 6-314377 A (NEC IC Microsystem Kabushiki Kaisha), 08 November, 1994 (08.11.94), Column 1, line 30 to column 2, line 32 (family: none)	1-4, 9-12, 14-16
X	JP 11-202295 A (Seiko Epson Corp.), 30 July, 1999 (30.07.99), Column 19, line 2 to column 21, line 16; column 23, lines 16 to 43; column 27, lines 24 to 29; Figs. 17 to 20 (family: none)	13 14-16
X	JP 2001-134217 A (YDK Kabushiki Kaisha), 18 May, 2001 (18.05.01), Column 1, line 1 to column 6, line 41; Figs. 1 to 3, 14 (family: none)	13 14-16
A	JP 2001-155014 A (YDK Kabushiki Kaisha), 19 May, 2001 (19.05.01), Full text; all drawings (family: none)	13-16

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/09668

Continuation of Box No. II of continuation of first sheet (1)

each for outputting a first unit current and outputs a desired current to an EL device by combining the first unit currents and a second current output circuit which includes unit transistors each for outputting a second unit current larger than the first unit current and outputs a desired current to the EL device by combining the second unit currents". Claim 10 defines the invention "a source driver having unit transistors for outputting unit currents when selected according to an inputted video signal. Claims 11, 12 define the invention "a source driver having a group of transistors comprising a first transistor and a second transistor current-mirror-connected to the first transistor". Claims 13-16 define the invention "comprising a display area with a matrix of pixels having EL devices, transistor devices formed in the pixels, gate drivers for on-off control of the transistor devices, and source drivers for supplying video signals to the transistor devices". These five groups of inventions are not so linked as to form a single general inventive concept.

Form PCT/ISA210 (extra sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/09668

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1 ☐ Claims Nos.:

because they relate to subject matter not required to be searched by this Authority, namely:

2 ☐ Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3 ☐ Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a)

Box II Observations where a unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

An EL display apparatus having a source driver is not novel (see JP 11-2824-9 A (NEC Corp.) 1999. 10. 5). This subject matter does not overcome the prior art and is therefore not a special technical feature in the meaning of the second sentence of PC-Rule 13.2. Claims 1-4, 9 define the invention "a source driver comprising a first current source for outputting a reference signal generated by a reference signal generating means in the form of current and a second current source so constituted as to deliver the reference signal outputted by the first power source". Claims 5-8 define the invention "a device comprising a first current output circuit which includes unit transistors (continued to extra sheet)

1. ☒ At all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims2. ☐ At all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.3. ☐ At only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.☒ No protest accompanied the payment of additional search fees.

Form PCT/ISA210 (continuation of first sheet) (July 1998)

様式PCT/1SA/210(第2ページ) (1998年7月)

様式PCT/ISA/210 (第2ページの続き) (1998年7月)

